



DS1990A 序列号 iButton

www.maxim-ic.com.cn

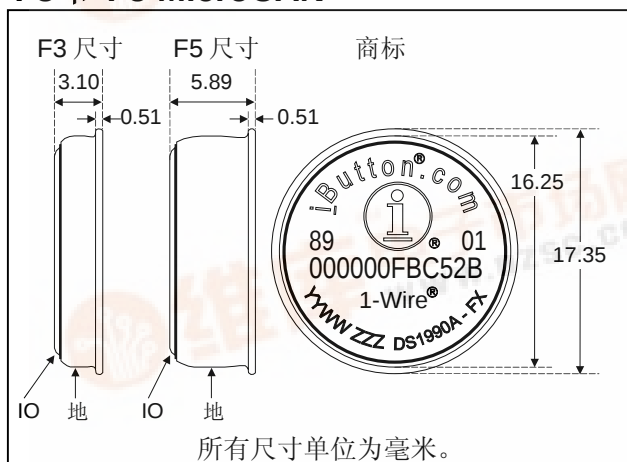
概述

DS1990A序列号iButton®是一种坚固的数据载体，可作为自动识别系统的电子注册号。数据通过 1-Wire®协议传输，只需要一条信号引线和一个地回路。每个DS1990A内包含工厂刻入的唯一 64 位注册号，可绝对跟踪。坚固耐用的不锈钢iButton封装具有极强的环境适应能力，可防尘、防潮、防震。这种紧凑的纽扣外形使其自动对准相应的探测头，易于人工操作。多种附件使DS1990A可以灵活地安装在各种容器、塑料盘、包装袋等物体表面。

应用

- 接入控制
- 工作流程跟踪
- 工具管理
- 库存管理

F3 和 F5 MicroCAN



iButton, 1-Wire, 和MicroCAN是Dallas Semiconductor的注册商标。

特性

- 读取时间在 5ms 以内
- 工作范围：2.8V 至 6.0V, -40°C 至+85°C

iButton共性

- 工厂刻入的 64 位注册号确保正确无误的器件选择和绝对跟踪，不存在任何两个具有相同注册号的器件。
- 内置多点控制器，适用于 1-Wire 网络。
- 短间接接触实现数字识别。
- 可以安装在某一物体上、并读取数据。
- 通过单线与主机进行数据通信，传输速率可达 16.3kbps，经济实惠。
- 纽扣外形使其可以自动对准杯状探测器。
- 注册号刻在耐用的不锈钢外壳上，能够经受恶劣的环境。
- 安装时可以很容易地用自粘胶粘贴背面、固定其边缘，或嵌装其环箍。
- 符合 UL#913 (第四版)标准;固有安全设备：经过 I 级、1 区、A、B、C 组和指定 D 区域场合的认证。

订购信息

型号	温度范围	封装
DS1990A-F5	-40°C 至+85°C	F5 iButton
DS1990A-F3	-40°C 至+85°C	F3 iButton

常用附件

型号	说明
DS9096P	自粘胶垫
DS9101	多用途夹
DS9093RA	安装固定环
DS9093A	链扣
DS9092	iButton读取探头

物理规格

尺寸

DS1990A 重量

安全性

参考机械图

Ca. 2.5 克

符合 UL#913 (第四版)标准;固有安全设备: 经过 I 级、1 区、A、B、C 组和指定 D 区域场合的认证。

极限参数

IO 至 GND 的电压

-0.5V, +6.0V

IO 吸入电流

20mA

结温

+125°C

储存温度

-55°C 至+125°C

超出“极限参数”规定的范围会造成器件永久性损坏。这只是器件所能承受的极限值。在不超出极限参数的前提下, 要使器件正常工作还需保证不超出特性参数列表中的限定条件。如果器件长时间处于这些极限参数下会影响其可靠性。

电气特性

(V_{PUP} = 2.8V至 6.0V, T_A = -40°C至+85°C.)

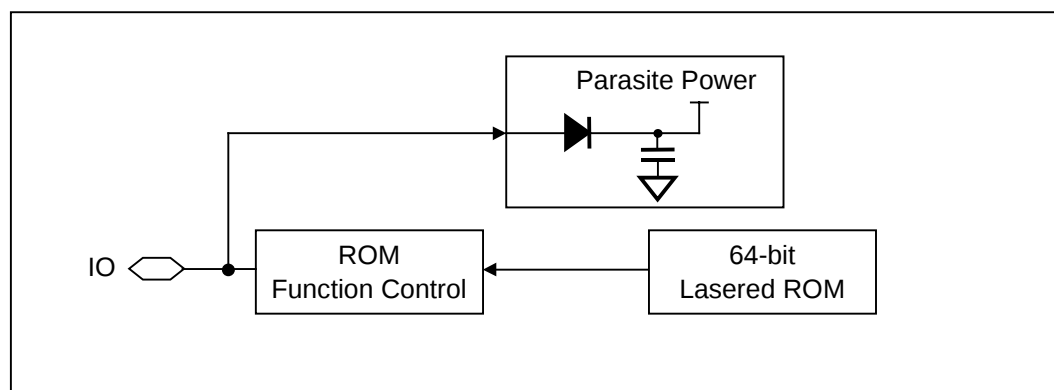
参数	符号	条件	最小值	典型值	最大值	单位
IO 引脚通用数据						
1-Wire 上拉电阻	R _{PUP}	(注 1, 2)	0.6		5	kΩ
输入电容	C _{IO}	(注 3, 15)		100	800	pF
输入负载电流	I _L	(注 4)		0.25		μA
输入低电平电压	V _{IL}	(注 1, 5, 6)			0.8	V
输入高电平电压	V _{IH}	(注 6, 7)	2.2			V
输出低电平电压 4mA	V _{OL}	(注 6)			0.4	V
输出高电平电压	V _{OH}	(注 6, 8)		V _{PUP}		V
工作电荷	Q _{OP}	(注 9, 15)		30		nC
恢复时间	t _{REC}	(注 1)	1			μs
时隙持续时间	t _{SLOT}	(注 1)	61			μs
IO 引脚, 1-Wire 复位, 在线检测周期						
复位低电平时间	t _{RSTL}	(注 1, 10)	480			μs
复位高电平时间	t _{RSTH}	(注 1, 11)	480			μs
在线检测高电平时间	t _{PDH}		15		60	μs
在线检测低电平时间	t _{PDL}	(注 14)	60		240	μs
在线检测采样时间	t _{MSP}	(注 1)	60		75	μs
IO 引脚, 1-Wire 写						
写 0 低电平时间	t _{W0L}	(注 1)	60		120	μs
写 1 低电平时间	t _{W1L}	(注 1, 12)	1		15 - ε	μs
IO 引脚, 1-Wire 读						
读低电平时间	t _{RL}	(注 1, 13)	1		15 - δ	μs
读采样时间	t _{MSR}	(注 1, 13)	t _{RL} + δ		15	μs

- 注 1: 系统要求。
- 注 2: R_{PUP} 的范围仅由设计、仿真保证，未经过生产测试。产品测试是在固定 R_{PUP} 下进行的。所允许的最大上拉电阻是系统中的 1-Wire 器件数量和 1-Wire 恢复时间的函数。这里提供的数值对应于系统只包含一个器件和 1-Wire 最小恢复时间。对于负载较重的系统，可能需要 DS2480 中的有源上拉。
- 注 3: 首次上电时，IO 引脚的电容可能达到 800pF。如果 IO 引脚采用 5k Ω 电阻上拉至 V_{PUP} ，上电 5 μ s 后，寄生电容将不会影响正常的通信操作。
- 注 4: 输入负载接地。
- 注 5: 当主控制器驱动总线为低电平时，IO 电压须低于或等于 V_{ILMAX} 。在一定的低电压条件下， V_{ILMAX} 可能需要降至 0.5V，以确保正确的在线应答脉冲。
- 注 6: 所有电压以地为参考。
- 注 7: V_{IH} 是内部电源电压的函数。
- 注 8: V_{PUP} = 外部上拉电压。
- 注 9: 5.0V 上拉电压、5k Ω 上拉电阻， $t_{SLOT} \leq 120\mu$ s 时，每 72 个时段为 30nC。
- 注 10: 复位低电平时间 (t_{RSTL}) 应该限制在最大 960 μ s，允许中断信号。与 DS1994 并行使用时，更长的持续时间有可能屏蔽或隐蔽中断脉冲。
- 注 11: 在达到复位高电平之前，不会产生额外的复位或通信序列。
- 注 12: ϵ 表示上拉电路将 IO 电压从 V_{IL} 拉至 V_{IH} 所需要的时间。
- 注 13: δ 表示上拉电路将 IO 电压从 V_{IL} 拉至总线主控制器输入高电平门限所需要的时间。
- 注 14: 在线应答脉冲确保仅出现在复位脉冲之后 (t_{RSTL})。
- 注 15: 仅由设计、仿真保证，未经过生产测试。

说明

图 1 给出了该器件的主要功能框图。DS1990A 从 IO 总线获取所需的能量，如寄生电源原理图所示。ROM 功能控制单元包括 1-Wire 接口和逻辑电路，用于实现 ROM 功能命令，访问 64 位光刻 ROM。

图 1. DS1990A 原理框图



64 位光刻 ROM

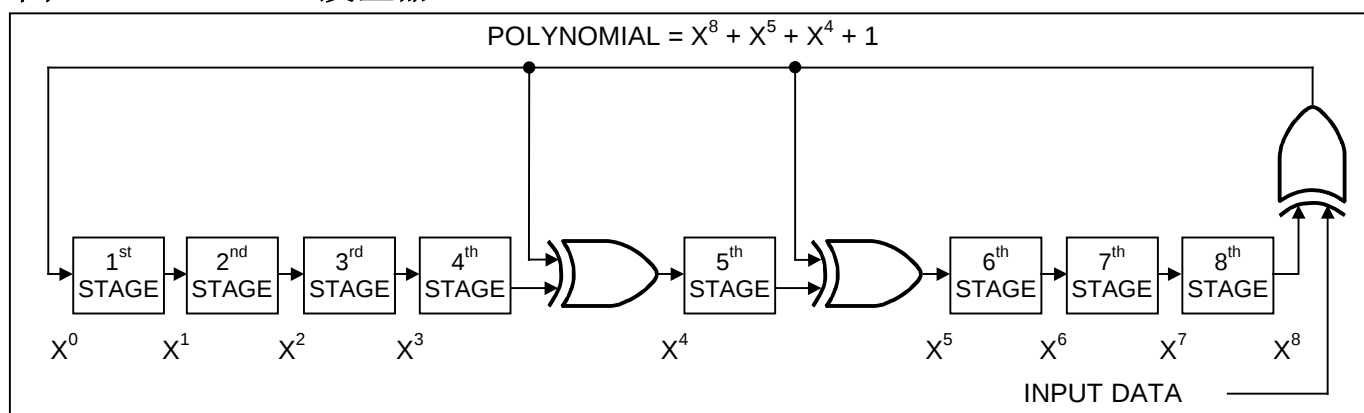
每个 DS1990A 包含唯一的 64 位 ROM 码，前 8 位是 1-Wire 家族码，接下来的 48 位是唯一的序列号，最后 8 位是前 56 位的 CRC 校验码。详细内容请参考图 2。1-Wire CRC 是由多项式发生器产生的，多项式发生器包括移位和“异或”逻辑门电路，如图 3 所示。多项式为： $X^8 + X^5 + X^4 + 1$ 。有关 Dallas 1-Wire 循环冗余校验的详细信息，请参考应用笔记 27。

移位寄存器以 0 为起始位，然后是家族码（最低有效位），每次移入 1 位。移入第 8 位家族码后，开始移入序列号。48 位序列号完全移入后，移位寄存器内所包含的值即为 CRC 校验码。移入 8 位 CRC 校验码，移位寄存器将全部归 0。

图 2. 64 位光刻 ROM



图 3. 1-Wire CRC 发生器



1-Wire 总线系统

1-Wire是在一条总线上连接一个主控制器（主机）和多个从机的系统。任何情况下，DS1990A都是从机器件，而总线主控制器常由微控器或PC充任。对于一个小型系统配置，1-Wire通信信号可以在软件控制下由微控制器的一个端口引脚产生。另外，也可以利用DS2480B 1-Wire线驱动器或串口适配器（DS9097U系列）实现。这种通信方式简化了硬件设计，而且可以节省微处理器的资源，减轻其实时操作任务。有关总线系统的讨论我们分为三个主题：硬件结构、处理流程和 1-Wire的信令（信号类型和时序）。1-Wire协议规定按照特定时隙中的总线状态进行总线操作，以主控制器发送的同步脉冲的下降沿为起始状态，更详细的协议描述，请参考*Book of DS19xx iButton Standards*第四章。

硬件配置

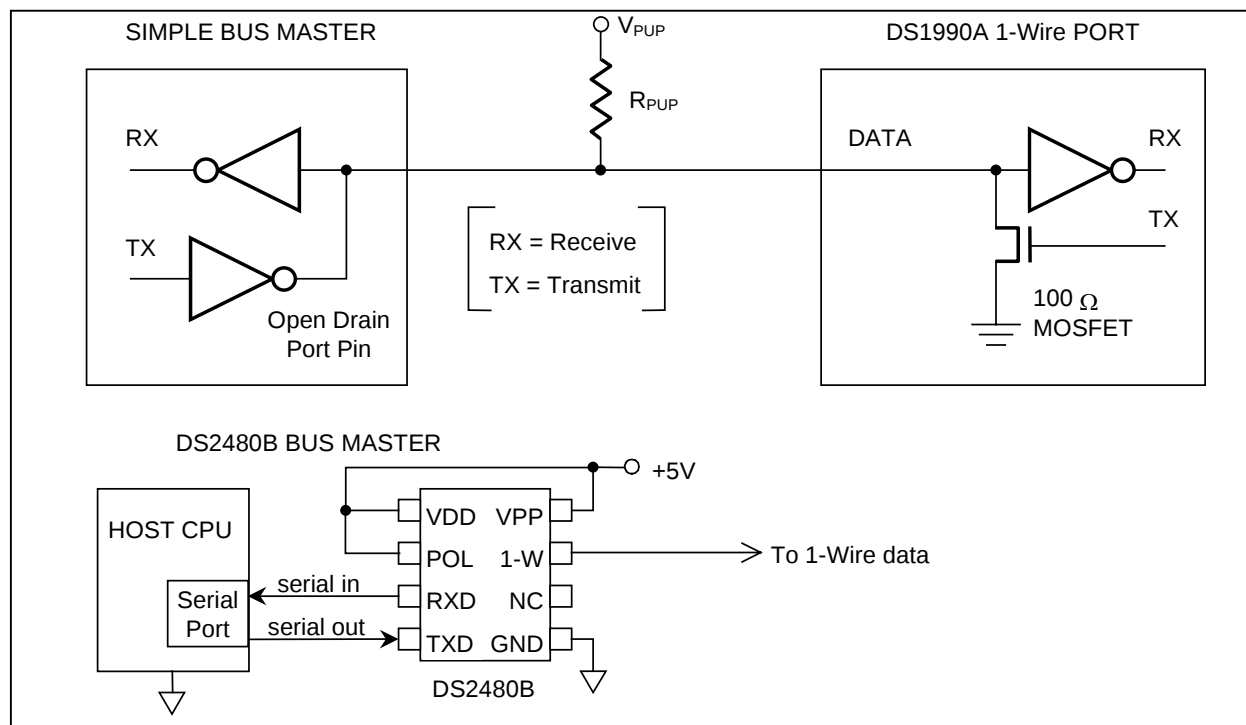
1-Wire 总线仅定义了一条信号线，所以让总线上每个器件都在适当的时刻运行是非常重要的。为便于达到这一目的，每一个接入 1-Wire 总线的器件都采用开漏连接或三态输出。DS1990A 的 1-Wire 端口为漏极开路输出，内部等效电路如图 4 所示。多点总线在一条 1-Wire 总线上挂接了多个从机器件。1-Wire 总线的最高标准数据传输率为 16.3kbps。上拉电阻的阻值取决于网络规模和负载条件，对于大多数应用，可选择 2.2kΩ的上拉电阻。1-Wire 的空闲状态为高电平，任何情况下需要暂停 1-Wire 操作时，总线必须置于空闲状态，以便随后恢复 1-Wire 操作。如果没有进行上述操作，将总线置于低电平的时间超过 120μs，则总线上的一个或多个器件将被复位。

处理流程

DS1990A 在 1-Wire 总线上的数据访问命令流程如下所示：

- 初始化
- ROM 功能命令

图 4. 硬件配置



初始化

1-Wire 总线上所有的传输操作均由初始化序列开始。初始化序列由主机发出的复位脉冲（Reset Pulse）和从机发出的在线应答脉冲（Presence Pulse）组成。在线应答脉冲使主机检测到 DS1990A 在总线上，并且已经准备就绪。详细内容请参阅 **1-Wire** 信令部分。

1-Wire ROM 功能命令

一旦主机检测到应答脉冲，就可以发出 DS1990A 支持的 ROM 功能命令。所有 ROM 功能命令的长度为 8 位。以下列出了这些命令的简要介绍（流程图参见图 5）。

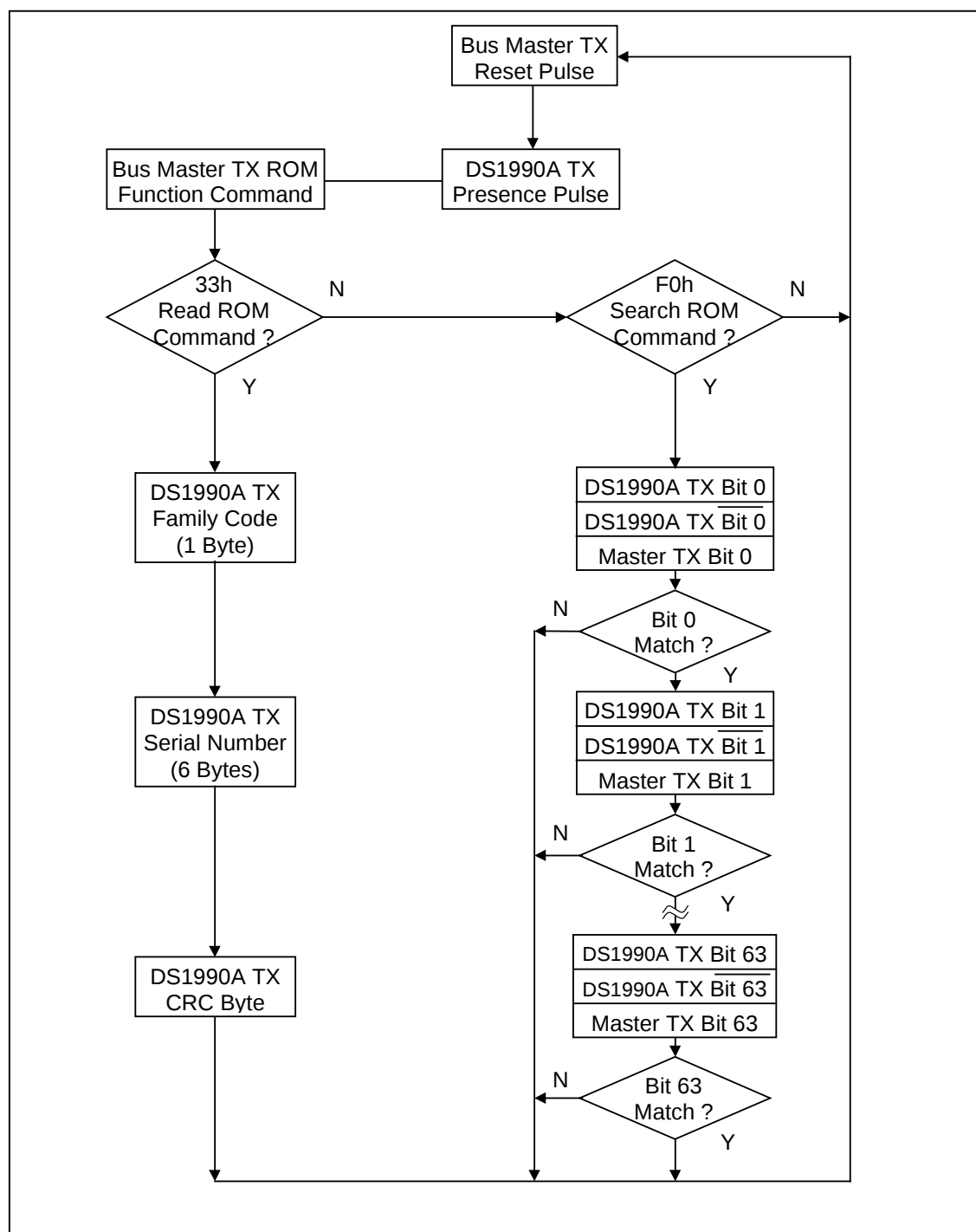
Read ROM [33h]

此命令允许总线主机读取 DS1990A 的 8 位家族码、唯一的 48 位序列码和 8 位 CRC 校验码。此命令仅在总线上只有一个从机器件时可以使用。若总线上的从机超过一个，各器件同时发送数据时将会引发数据冲突（开漏输出将产生“线与”的结果）。所得到的家族码和 48 位序列号将导致不匹配的 CRC。

Search ROM [F0h]

当一个系统启动初始化时，总线主机可能并不知道有哪些器件挂接在 1-Wire 总线上或不知道它们的注册号。利用总线的“线与”特点，总线主机采用排除法可以识别总线上所有从机器件的注册号。获取注册号的每一位，从最低有效位开始，总线主机都需要经过三个时隙。第一个时隙，每个参与搜索的从机器件发送一位其注册号的真实码；第二个时隙，每个参与搜索的从机器件发送该位注册号的补码；第三个时隙，主机写其选择位的真实码。与主机写入位不同的所有从机器件停止参与搜索操作。如果在前两个时隙中读取位为 0，总线主机可以获悉现有的从机器件存在两种位状态（1 和 0）。总线主机选择写入位后，ROM 码“树”出现“分枝”。完成一次操作流程，总线主机可以获得一个器件的注册号。有关其余器件的注册号识别，请参考应用笔记 187: **1-Wire** 搜索算法，其中还提供了一个实例介绍。

图 5. ROM 功能流程图



Match ROM [55h] / Skip ROM [CCh]

1-Wire ROM 功能的最小配置包括 Match ROM 和 Skip ROM。因为 DS1990A 仅有一个 64 位 ROM 码，无其它附加的存储空间，所以 Match ROM 和 Skip ROM 命令都不可使用。DS1990A 接收到一个它不支持的 ROM 功能命令时，将保持“沉默”（不动作）。这样可以确保 DS1990A 与其它能够响应 Match ROM 或 Skip ROM 的 1-Wire 器件共同挂接在一条多点总线上(例如 DS1990A 和 DS1994)。

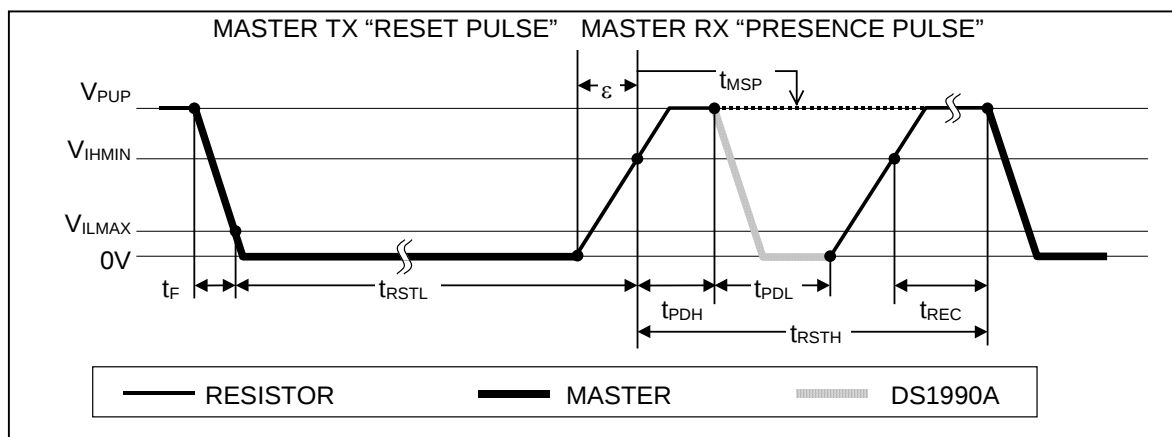
1-Wire 信令

DS1990A 需要严格的通信协议来确保数据的完整性，此协议在单线上定义了四种类型的信号：包括复位脉冲和在线应答脉冲的复位过程、写 0（Write 0）、写 1（Write 1）和读数据（Read Data）。除了在线脉冲以外，其它类型的信号都由总线主机启动。

从空闲到活动状态，1-Wire总线需要从 V_{PUP} 下降到 V_{ILMAX} 以下；从活动状态到空闲，总线电压需要从 V_{ILMAX} 上升到 V_{IHMIN} 以上。电压上升所需要的时间请参考图 6 中的 ϵ ，取决于上拉电阻（ R_{PUP} ）和 1-Wire网络的电容。

DS1990A进行任何通信都要进行初始化处理（如图 6 所示）。一个复位脉冲紧跟一个在线应答脉冲表明DS1990A就绪，可接收ROM功能命令。如果总线主机在下降沿采用了摆率控制，则必须将总线拉低 $t_{RSTL} + t_F$ ，以对边沿进行补偿。

图 6. 初始化流程“复位和在线应答脉冲”



主机释放总线后进入接收模式（RX）。此时 1-Wire总线电平被上拉电阻，或DS2480B驱动器等有源电路上拉至 V_{PUP} 。当电平高于 V_{IHMIN} 时，DS1990A等待 t_{PDH} ，然后将总线电平拉低并保持 t_{PDL} ，发送一个应答脉冲。为了检测应答脉冲，主机必须在 t_{MSP} 时间检测 1-Wire总线的逻辑电平。

读/写时隙

与 DS1990A 的数据通信按时隙进行，每时隙传输一位。数据在写时隙由总线主机传输到从机。数据在读时隙由从机传输到主机。图 7 说明了读时隙和写时隙的定义。

所有通信均从主机拉低数据线开始，当 1-Wire总线上的电压降至 V_{ILMAX} 以下时，DS1990A启动内部定时发生器，在写时隙确定何时采样数据线，在读时隙确定数据有效的的时间。

主机到从机

对于写 1 时隙，数据线上的电压必须在写 1 的低电平时间 t_{W1LMAX} 结束前达到 V_{IHMIN} 以上。对于写 0 时隙，数据线上的电压在写 0 的低电平时间 t_{W0LMIN} 结束前必须保持在 V_{ILMAX} 以下。为了实现最可靠的通信，数据线上的电压在整个 t_{W0L} 时间窗口内都不应超过 V_{ILMAX} 。数据线上的电压超过 V_{IHMIN} 后，DS1990A在进行下一个时隙前需要一段恢复时间 t_{REC} 。

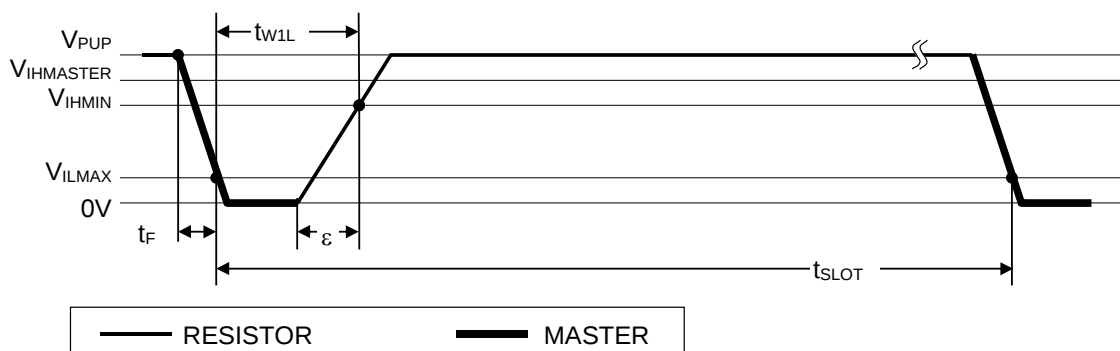
从机到主机

读数据时隙开始时与写 1 时隙类似。数据线上的电压在读低电平时间 t_{RL} 结束前必须保持在 V_{ILMAX} 以下。在 t_{RL} 时间窗口，应答 0 时，DS1990A 开始拉低数据线，其内部定时发生器决定何时结束下拉，电压重新开始升高；应答 1 时，DS1990A 将不保持数据线的低电平，一旦 t_{RL} 结束，电压即开始上升。

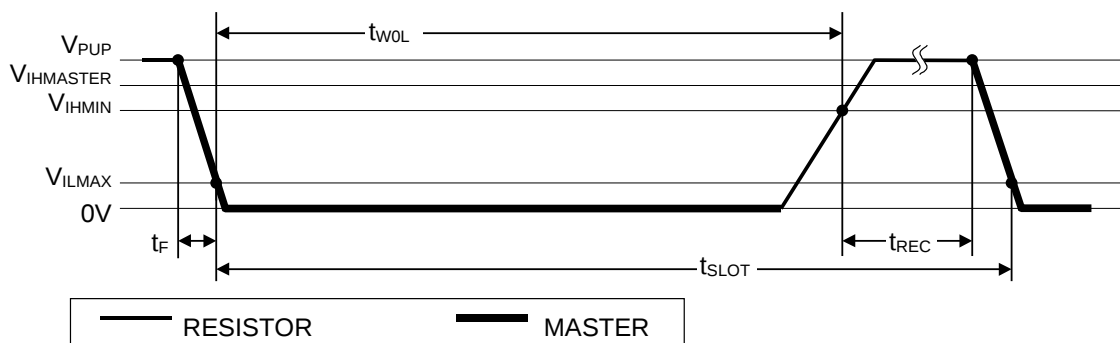
主机采样窗口（ t_{MSRMIN} 到 t_{MSRMAX} ）一方面由 $t_{RL} + \delta$ （上升时间）决定，另一方面由DS1990A内部定时发生器决定，主机必须在采样窗口内执行一次数据线读操作。为达到可靠通信， t_{RL} 时间在允许范围内应尽量短，主机应该在接近但不晚于 t_{MSRMAX} 的时间读取数据。从数据线读取数据后，主机必须等待直至 t_{SLOT} 结束，确保DS1990A在下一个时隙准备就绪前有足够的恢复时间 t_{REC} 。

图 7. 读/写时序图

Write-One Time Slot



Write-Zero Time Slot



Read-Data Time Slot

