



10位、7.5Msps、超低功耗模拟前端

概述

MAX19705是超低功耗、混合信号模拟前端 (AFE)，设计用于对功耗敏感的通信设备。该器件经过优化能够以极低的功耗获得较高的动态性能，集成了双路10位、7.5Msps接收 (Rx) ADC，双路10位、7.5Msps发送 (Tx) DAC，用于辅助RF前端控制的3路快速建立、12位DAC和10位、333ksps辅助ADC。在Tx-Rx FAST模式、7.5MHz时钟频率下，功耗典型值为28.2mW。

Rx ADC在1.875MHz输入频率、7.5MHz时钟频率下具有55.1dB SNR和73.4dBc SFDR。模拟I/Q输入放大器为全差分结构，可接收 $1.024V_{P-P}$ 满量程信号。I/Q通道匹配度典型值为： $\pm 0.01^\circ$ 相位匹配和 ± 0.02 dB增益匹配。

Tx DAC在 $f_{OUT} = 620$ kHz、 $f_{CLK} = 7.5$ MHz时，SFDR为77.2dBc。模拟I/Q满量程输出为差分 ± 400 mV。Tx DAC共模直流电压可在0.9V至1.35V之间设置，用于调节I/Q通道的失调。I/Q通道匹配度典型值为： ± 0.03 dB增益匹配和 $\pm 0.08^\circ$ 相位匹配。

Rx ADC和Tx DAC共享一个10位并行高速数字总线，在时分复用 (TDD) 系统中提供半双工工作模式。3线串行接口控制电源管理模式、辅助DAC信道和辅助ADC信道。

MAX19705采用+2.7V至+3.3V模拟电源和+1.8V至+3.3V数字I/O电源供电。MAX19705工作在扩展工业级温度范围(-40°C至+85°C)，采用48引脚、薄型QFN封装。数据资料最后的选型指南中列出了该AFE系列的引脚兼容型号。

应用

无线宽带接入

个人移动通信设备 (PMR)

便携式通信设备

订购信息

PART*	PIN-PACKAGE	PKG CODE
MAX19705ETM	48 Thin QFN-EP**	T4877-4
MAX19705ETM+	48 Thin QFN-EP**	T4877-4

*所有器件指定工作在-40°C至+85°C范围内。

**EP = 裸焊盘。

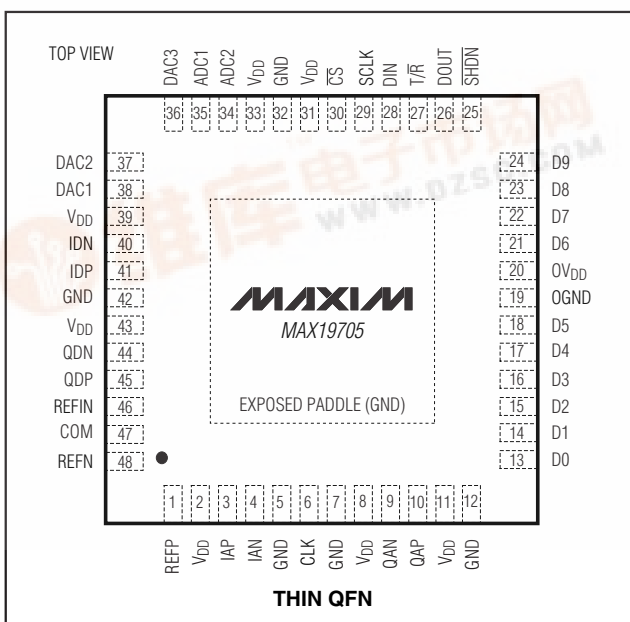
+表示无铅封装。

功能框图和选型指南在数据资料末尾给出。

特性

- ◆ 双路10位7.5Msps Rx ADC和双路10位7.5Msps Tx DAC
- ◆ 超低功耗
 - $f_{CLK} = 7.5$ MHz快速模式下消耗28.2mW
 - $f_{CLK} = 7.5$ MHz低速模式下消耗21mW
 - 低电流待机模式和关断模式
- ◆ 可编程Tx DAC共模直流电压，调节I/Q失调电压
- ◆ 优异的动态性能
 - $f_{IN} = 1.875$ MHz时，SNR = 55.1dB (Rx ADC)
 - $f_{OUT} = 620$ kHz时，SFDR = 77.2dBc (Tx DAC)
- ◆ 三路12位、1 μ s辅助DAC
- ◆ 10位、333ksps辅助ADC，带有4:1多路复用器输入和数据平均电路
- ◆ 卓越的增益/相位匹配度
 - $f_{IN} = 1.875$ MHz时，匹配度为： $\pm 0.01^\circ$ 相位匹配、 ± 0.02 dB增益匹配 (Rx ADC)
- ◆ 多路复用并行数字I/O
- ◆ 串行接口控制
- ◆ 多种功率管理模式
 - 关断、待机、空闲、Tx/Rx禁用
- ◆ 小尺寸、48引脚、薄型QFN封装 (7mm x 7mm x 0.8mm)

引脚配置



10位、7.5Msps、超低功耗模拟前端

ABSOLUTE MAXIMUM RATINGS

V _{DD} to GND, OV _{DD} to OGND	-0.3V to +3.6V
GND to OGND	-0.3V to +0.3V
IAP, IAN, QAP, QAN, IDP, IDN, QDP, QDN, DAC1, DAC2, DAC3 to GND	-0.3V to V _{DD}
ADC1, ADC2 to GND	-0.3V to (V _{DD} + 0.3V)
REFP, REFN, REFIN, COM to GND	-0.3V to (V _{DD} + 0.3V)
D0–D9, DOUT, T/R, SHDN, SCLK, DIN, $\overline{\text{CS}}$, CLK to OGND	-0.3V to (OV _{DD} + 0.3V)

Continuous Power Dissipation (T _A = +70°C) 48-Pin Thin QFN (derate 27.8mW/°C above +70°C)	2.22W
Thermal Resistance θ_{JA}	36°C/W
Operating Temperature Range	-40°C to +85°C
Junction Temperature	+150°C
Storage Temperature Range	-60°C to +150°C
Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = 3V, OV_{DD} = 1.8V, internal reference (1.024V), C_L ≈ 10pF on all digital outputs, f_{CLK} = 7.5MHz (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output, C_{REFP} = C_{REFN} = C_{COM} = 0.33μF, unless otherwise noted. C_L < 5pF on all aux-DAC outputs. Typical values are at T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER REQUIREMENTS						
Analog Supply Voltage	V _{DD}		2.7	3.0	3.3	V
Output Supply Voltage	OV _{DD}		1.8		V _{DD}	V
V _{DD} Supply Current		Ext1-Tx, Ext3-Tx, and SPI2-Tx states; transmit DAC operating mode (Tx): f _{CLK} = 7.5MHz, f _{OUT} = 620kHz on both channels; aux-DACs ON and at midscale, aux-ADC ON		7.4		mA
		Ext2-Tx, Ext4-Tx, and SPI4-Tx states; transmit DAC operating mode (Tx): f _{CLK} = 7.5MHz, f _{OUT} = 620kHz on both channels; aux-DACs ON and at midscale, aux-ADC ON		9.6	12.5	
		Ext1-Rx, Ext4-Rx, and SPI3-Rx states; receive ADC operating mode (Rx): f _{CLK} = 7.5MHz, f _{IN} = 1.875MHz on both channels; aux-DACs ON and at midscale, aux-ADC ON		9.4	11	
		Ext2-Rx, Ext3-Rx, and SPI1-Rx states; receive ADC operating mode (Rx): f _{CLK} = 7.5MHz, f _{IN} = 1.875MHz on both channels; aux-DACs ON and at midscale, aux-ADC ON		7		

10位、7.5Msps、超低功耗模拟前端

MAX19705

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 7.5MHz$ (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, unless otherwise noted. $C_L < 5pF$ on all aux-DAC outputs. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
V _{DD} Supply Current		Standby mode: CLK = 0 or OV _{DD} ; aux-DACs ON and at midscale, aux-ADC ON		2.9	3.5	mA
		Idle mode: f _{CLK} = 7.5MHz; aux-DACs ON and at midscale, aux-ADC ON		4.7	6	
		Shutdown mode: CLK = 0 or OV _{DD}		0.6		μA
OV _{DD} Supply Current		Ext1-Rx, Ext2-Rx, Ext3-Rx, Ext4-Rx, SPI1-Rx, SPI3-Rx states; receive ADC operating mode (Rx): f _{CLK} = 7.5MHz, f _{IN} = 1.875MHz on both channels; aux-DACs ON and at midscale, aux-ADC ON		1.4		mA
		Ext1-Tx, Ext2-Tx, Ext3-Tx, Ext4-Tx, SPI2-Tx, SPI4-Tx states; transmit DAC operating mode (Tx): f _{CLK} = 7.5MHz, f _{OUT} = 620kHz on both channels; aux-DACs ON and at midscale, aux-ADC ON		69		
		Standby mode: CLK = 0 or OV _{DD} ; aux-DACs ON and at midscale, aux-ADC ON		1		μA
		Idle mode: f _{CLK} = 7.5MHz; aux-DACs ON and at midscale, aux-ADC ON		13.8		
		Shutdown mode: CLK = 0 or OV _{DD}		0.01		
		Rx ADC DC ACCURACY				
Resolution	N			10		Bits
Integral Nonlinearity	INL			±0.6		LSB
Differential Nonlinearity	DNL	Guaranteed no missing code (Note 2)	-1	±0.4	+1	LSB
Offset Error		Residual DC offset error	-5.5	±0.4	+5.5	%FS
Gain Error		Include reference error	-8	±1.65	+11	%FS
DC Gain Matching			-0.25	±0.01	+0.25	dB
Offset Matching				±12		LSB
Gain Temperature Coefficient				±13		ppm/°C
Power-Supply Rejection	PSRR	Offset error (V _{DD} ±5%)		±1.7		LSB
		Gain error (V _{DD} ±5%)		±0.05		%FS

10位、7.5Msps、超低功耗模拟前端

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 7.5MHz$ (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, unless otherwise noted. $C_L < 5pF$ on all aux-DAC outputs. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Rx ADC ANALOG INPUT						
Input Differential Range	V _{ID}	Differential or single-ended inputs		±0.512		V
Input Common-Mode Voltage Range	V _{CM}			V _{DD} / 2		V
Input Impedance	R _{IN}	Switched capacitor load		720		kΩ
	C _{IN}			5		pF
Rx ADC CONVERSION RATE						
Maximum Clock Frequency	f _{CLK}	(Note 3)		7.5		MHz
Data Latency (Figure 3)		Channel I		5		Clock Cycles
		Channel Q		5.5		
Rx ADC DYNAMIC CHARACTERISTICS (Note 4)						
Signal-to-Noise Ratio	SNR	f _{IN} = 1.875MHz, f _{CLK} = 7.5MHz	53.7	55.1		dB
		f _{IN} = 3.5MHz, f _{CLK} = 7.5MHz		55.1		
Signal-to-Noise and Distortion	SINAD	f _{IN} = 1.875MHz, f _{CLK} = 7.5MHz	53.6	55		dB
		f _{IN} = 3.5MHz, f _{CLK} = 7.5MHz		55		
Spurious-Free Dynamic Range	SFDR	f _{IN} = 1.875MHz, f _{CLK} = 7.5MHz	64	73.4		dBc
		f _{IN} = 3.5MHz, f _{CLK} = 7.5MHz		74		
Third-Harmonic Distortion	HD3	f _{IN} = 1.875MHz, f _{CLK} = 7.5MHz		-84.5		dBc
		f _{IN} = 3.5MHz, f _{CLK} = 7.5MHz		-82.5		
Intermodulation Distortion	IMD	f ₁ = 1.8MHz, -7dBFS; f ₂ = 1.0MHz, -7dBFS		-69.5		dBc
Third-Order Intermodulation Distortion	IM3	f ₁ = 1.8MHz, -7dBFS; f ₂ = 1.0MHz, -7dBFS		-78.1		dBc
Total Harmonic Distortion	THD	f _{IN} = 1.875MHz, f _{CLK} = 7.5MHz		-71.9	-62.5	dB
		f _{IN} = 3.5MHz, f _{CLK} = 7.5MHz		-72		
Aperture Delay				3.5		ns
Overdrive Recovery Time		1.5x full-scale input		2		ns
Rx ADC INTERCHANNEL CHARACTERISTICS						
Crosstalk Rejection		f _{INX,Y} = 1.875MHz at -0.5dBFS, f _{INX,Y} = 1MHz at -0.5dBFS (Note 5)		-91.5		dB
Amplitude Matching		f _{IN} = 1.875MHz at -0.5dBFS (Note 6)		±0.02		dB
Phase Matching		f _{IN} = 1.875MHz at -0.5dBFS (Note 6)		±0.01		Degrees

10位、7.5Msps、超低功耗模拟前端

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 7.5MHz$ (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, unless otherwise noted. $C_L < 5pF$ on all aux-DAC outputs. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Tx DAC DC ACCURACY						
Resolution	N			10		Bits
Integral Nonlinearity	INL			± 0.35		LSB
Differential Nonlinearity	DNL	Guaranteed monotonic (Note 2)	-1	± 0.25	+1	LSB
Residual DC Offset	VOS		-4	± 0.06	+4	mV
Full-Scale Gain Error		Include reference error (peak-to-peak error)	-55		+55	mV
Tx DAC DYNAMIC PERFORMANCE						
DAC Conversion Rate	f_{CLK}	(Note 3)			7.5	MHz
In-Band Noise Density	N_D	$f_{OUT} = 620kHz$, $f_{CLK} = 7.5MHz$		-127		dBc/Hz
Third-Order Intermodulation Distortion	IM3	$f_1 = 620kHz$, $f_2 = 640kHz$		78		dBc
Glitch Impulse				10		pV•s
Spurious-Free Dynamic Range to Nyquist	SFDR	$f_{CLK} = 7.5MHz$, $f_{OUT} = 620kHz$	59	77.2		dBc
Total Harmonic Distortion to Nyquist	THD	$f_{CLK} = 7.5MHz$, $f_{OUT} = 620kHz$		-76.1	-59.5	dB
Signal-to-Noise Ratio to Nyquist	SNR	$f_{CLK} = 7.5MHz$, $f_{OUT} = 620kHz$		61		dB
Tx DAC INTERCHANNEL CHARACTERISTICS						
I-to-Q Output Isolation		$f_{OUTX,Y} = 500kHz$, $f_{OUTX,Y} = 620kHz$		90		dB
Gain Mismatch Between DAC Outputs		Measured at DC	-0.4	± 0.03	+0.4	dB
Phase Mismatch Between DAC Outputs		$f_{OUT} = 620kHz$, $f_{CLK} = 7.5MHz$		± 0.08		Degrees
Differential Output Impedance				800		Ω
Tx DAC ANALOG OUTPUT						
Full-Scale Output Voltage	V_{FS}			± 400		mV
Output Common-Mode Voltage	V_{COM}	Bits CM1 = 0, CM0 = 0 (default)	1.30	1.35	1.48	V
		Bits CM1 = 0, CM0 = 1		1.2		
		Bits CM1 = 1, CM0 = 0		1.05		
		Bits CM1 = 1, CM0 = 1		0.9		

10位、7.5Msps、超低功耗模拟前端

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 7.5MHz$ (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, unless otherwise noted. $C_L < 5pF$ on all aux-DAC outputs. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Rx ADC–Tx DAC INTERCHANNEL CHARACTERISTICS						
Receive Transmit Isolation		ADC $f_{INI} = f_{INQ} = 1.875MHz$, DAC $f_{OUTI} = f_{OUTQ} = 620kHz$, $f_{CLK} = 7.5MHz$		90		dB
AUXILIARY ADC (ADC1, ADC2)						
Resolution	N			10		Bits
Full-Scale Reference	V_{REF}	AD1 = 0 (default)		2.048		V
		AD1 = 1		V_{DD}		
Analog Input Range				0 to V_{REF}		V
Analog Input Impedance		At DC		500		$k\Omega$
Input-Leakage Current		Measured at unselected input from 0 to V_{REF}		± 0.1		μA
Gain Error	GE	Includes reference error	-5		+5	%FS
Zero-Code Error	ZE			2		mV
Differential Nonlinearity	DNL			± 0.53		LSB
Integral Nonlinearity	INL			± 0.45		LSB
Supply Current				210		μA
AUXILIARY DACs (DAC1, DAC2, DAC3)						
Resolution	N	(Note 2)		12		Bits
Integral Nonlinearity	INL			± 1.25		LSB
Differential Nonlinearity	DNL	Guaranteed monotonic over codes 100 to 4000 (Note 2)	-1.0	± 0.65	+1.2	LSB
Gain Error	GE	$R_L > 200k\Omega$		± 0.7		%FS
Zero-Code Error	ZE			± 0.6		%FS
Output-Voltage Low	V_{OL}	$R_L > 200k\Omega$			0.1	V
Output-Voltage High	V_{OH}	$R_L > 200k\Omega$	2.56			V
DC Output Impedance		DC output at midscale		4		Ω
Settling Time		From 1/4 FS to 3/4 FS, within ± 10 LSB		1		μs
Glitch Impulse		From 0 to FS transition		24		nV•s
Rx ADC–Tx DAC TIMING CHARACTERISTICS						
CLK Rise to Channel-I Output Data Valid	t_{DOI}	Figure 3 (Note 2)	5.0	6.7	8.5	ns
CLK Fall to Channel-Q Output Data Valid	t_{DOQ}	Figure 3 (Note 2)	7.0	8.9	11.3	ns
I-DAC DATA to CLK Fall Setup Time	t_{DSI}	Figure 5 (Note 2)	10			ns

10位、7.5Msps、超低功耗模拟前端

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 7.5MHz$ (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, unless otherwise noted. $C_L < 5pF$ on all aux-DAC outputs. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Q-DAC DATA to CLK Rise Setup Time	t_{DSQ}	Figure 5 (Note 2)	10			ns
CLK Fall to I-DAC Data Hold Time	t_{DHI}	Figure 5 (Note 2)	0			ns
CLK Rise to Q-DAC Data Hold Time	t_{DHQ}	Figure 5 (Note 2)	0			ns
CLK Duty Cycle				50		%
CLK Duty-Cycle Variation				± 15		%
Digital Output Rise/Fall Time		20% to 80%		2		ns
SERIAL-INTERFACE TIMING CHARACTERISTICS (Figure 6, Note 2)						
Falling Edge of $\overline{CS}$ to Rising Edge of First SCLK Time	t_{CSS}		10			ns
DIN to SCLK Setup Time	t_{DS}		10			ns
DIN to SCLK Hold Time	t_{DH}		0			ns
SCLK Pulse-Width High	t_{CH}		25			ns
SCLK Pulse-Width Low	t_{CL}		25			ns
SCLK Period	t_{CP}		50			ns
SCLK to $\overline{CS}$ Setup Time	t_{CS}		10			ns
$\overline{CS}$ High Pulse Width	t_{CSW}		80			ns
$\overline{CS}$ High to DOUT Active High	t_{CSD}	Bit AD0 set		200		ns
$\overline{CS}$ High to DOUT Low (Aux-ADC Conversion Time)	t_{CONV}	Bit AD0 set, no averaging (see Table 14), $f_{CLK} = 7.5MHz$, CLK divider = 2 (see Table 15)		3.2		μs
DOUT Low to $\overline{CS}$ Setup Time	t_{DCS}	Bit AD0, AD10 set		200		ns
SCLK Low to DOUT Data Out	t_{CD}	Bit AD0, AD10 set			14.5	ns
$\overline{CS}$ High to DOUT High Impedance	t_{CHZ}	Bit AD0, AD10 set		200		ns
MODE-RECOVERY TIMING CHARACTERISTICS (Figure 7)						
Shutdown Wake-Up Time	$t_{WAKE,SD}$	From shutdown to Rx mode, ADC settles to within 1dB SINAD		84.9		μs
		From shutdown to Tx mode, DAC settles to within 10 LSB error		26.4		
Idle Wake-Up Time (With CLK)	$t_{WAKE,ST0}$	From idle to Rx mode with CLK present during idle, ADC settles to within 1dB SINAD		10.9		μs
		From idle to Tx mode with CLK present during idle, DAC settles to 10 LSB error		6.0		
Standby Wake-Up Time	$t_{WAKE,ST1}$	From standby to Rx mode, ADC settles to within 1dB SINAD		17.6		μs
		From standby to Tx mode, DAC settles to 10 LSB error		25		

10位、7.5Msps、超低功耗模拟前端

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 7.5MHz$ (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, unless otherwise noted. $C_L < 5pF$ on all aux-DAC outputs. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Enable Time from Tx to Rx (Ext2-Tx to Ext2-Rx, Ext4-Tx to Ext4-Rx, and SPI4-Tx to SPI3-Rx States)	$t_{ENABLE, RX}$	ADC settles to within 1dB SINAD		500		ns
Enable Time from Rx to Tx (Ext1-Rx to Ext1-Tx, Ext4-Rx to Ext4-Tx, and SPI3-Rx to SPI4-Tx States)	$t_{ENABLE, TX}$	DAC settles to within 10 LSB error		500		ns
Enable Time from Tx to Rx (Ext1-Tx to Ext1-Rx, Ext3-Tx to Ext3-Rx, and SPI1-Tx to SPI2-Rx States)	$t_{ENABLE, RX}$	ADC settles to within 1dB SINAD		8.1		μs
Enable Time from Rx to Tx (Ext2-Rx to Ext2-Tx, Ext3-Rx to Ext3-Tx, and SPI1-Rx to SPI2-Tx States)	$t_{ENABLE, TX}$	DAC settles to within 10 LSB error		6.0		μs
INTERNAL REFERENCE ($V_{REFIN} = V_{DD}$; V_{REFP}, V_{REFN}, V_{COM} levels are generated internally)						
Positive Reference		$V_{REFP} - V_{COM}$		0.256		V
Negative Reference		$V_{REFN} - V_{COM}$		-0.256		V
Common-Mode Output Voltage	V_{COM}		$V_{DD}/2 - 0.15$	$V_{DD}/2$	$V_{DD}/2 + 0.15$	V
Maximum REFP/REFN/COM Source Current	I_{SOURCE}			2		mA
Maximum REFP/REFN/COM Sink Current	I_{SINK}			2		mA
Differential Reference Output	V_{REF}	$V_{REFP} - V_{REFN}$	+0.46	+0.512	+0.55	V
Differential Reference Temperature Coefficient	$REFTC$			± 10		ppm/ $^\circ C$
BUFFERED EXTERNAL REFERENCE (external $V_{REFIN} = 1.024V$ applied; V_{REFP}, V_{REFN}, V_{COM} levels are generated internally)						
Reference Input Voltage	V_{REFIN}			1.024		V
Differential Reference Output	V_{DIFF}	$V_{REFP} - V_{REFN}$		0.512		V
Common-Mode Output Voltage	V_{COM}			$V_{DD}/2$		V
Maximum REFP/REFN/COM Source Current	I_{SOURCE}			2		mA
Maximum REFP/REFN/COM Sink Current	I_{SINK}			2		mA
REFIN Input Current				-0.7		μA
REFIN Input Resistance				500		k Ω

10位、7.5Msps、超低功耗模拟前端

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 7.5MHz$ (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, unless otherwise noted. $C_L < 5pF$ on all aux-DAC outputs. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL INPUTS (CLK, SCLK, DIN, $\overline{CS}$, D0–D9, $T/\overline{R}$, $\overline{SHDN}$)						
Input High Threshold	V_{INH}		0.7 x OV_{DD}			V
Input Low Threshold	V_{INL}			0.3 x OV_{DD}		V
Input Leakage	I_{IIN}	D0–D9, CLK, SCLK, DIN, $\overline{CS}$, $T/\overline{R}$, $\overline{SHDN} = OGND$ or OV_{DD}	-1		+1	μA
Input Capacitance	DC_{IN}			5		pF
DIGITAL OUTPUTS (D0–D9, DOUT)						
Output-Voltage Low	V_{OL}	$I_{SINK} = 200\mu A$		0.2 x OV_{DD}		V
Output-Voltage High	V_{OH}	$I_{SOURCE} = 200\mu A$	0.8 x OV_{DD}			V
Tri-State Leakage Current	I_{LEAK}		-1		+1	μA
Tri-State Output Capacitance	C_{OUT}			5		pF

Note 1: Specifications from $T_A = +25^\circ C$ to $+85^\circ C$ are guaranteed by production tests. Specifications from $T_A = +25^\circ C$ to $-40^\circ C$ are guaranteed by design and characterization.

Note 2: Guaranteed by design and characterization.

Note 3: The minimum clock frequency (f_{CLK}) for the MAX19705 is 1.5MHz (typ). The minimum aux-ADC sample rate clock frequency (ACLK) is determined by f_{CLK} and the chosen aux-ADC clock-divider value. The minimum aux-ADC ACLK $> 1.5MHz / 128 = 11.7kHz$. The aux-ADC conversion time does not include the time to clock the serial data out of the SPI. The maximum conversion time (for no averaging, $NAV_G = 1$) will be $t_{CONV} (max) = (12 \times 1 \times 128) / 1.5MHz = 1024\mu s$.

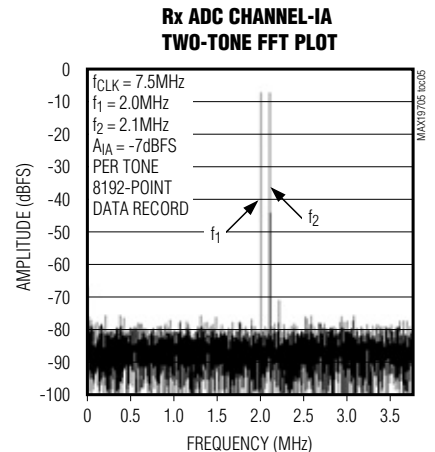
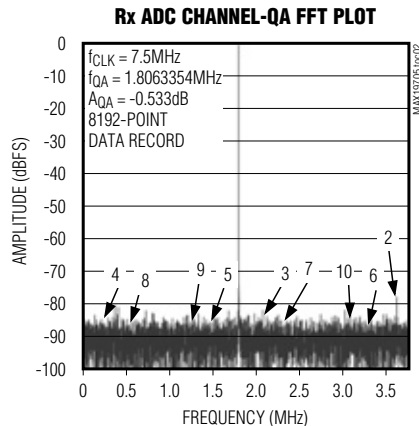
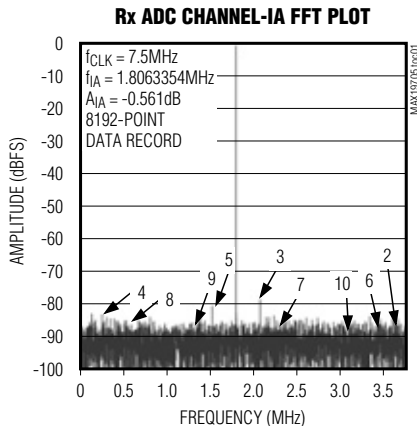
Note 4: SNR, SINAD, SFDR, HD3, and THD are based on a differential analog input voltage of -0.5dBFS referenced to the amplitude of the digital outputs. SINAD and THD are calculated using HD2 through HD6.

Note 5: Crosstalk rejection is measured by applying a high-frequency test tone to one channel and a low-frequency tone to the second channel. FFTs are performed on each channel. The parameter is specified as the power ratio of the first and second channel FFT test tone.

Note 6: Amplitude and phase matching is measured by applying the same signal to each channel, and comparing the two output signals using a sine-wave fit.

典型工作特性

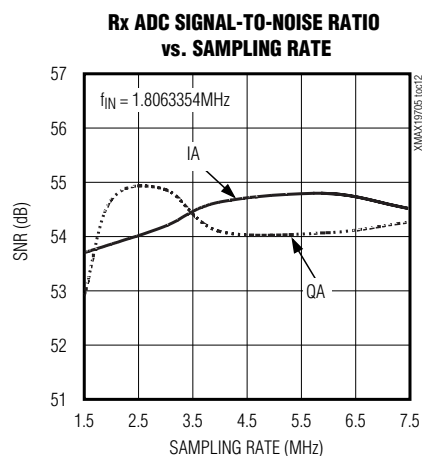
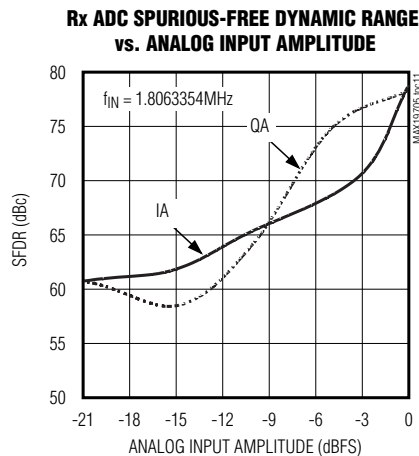
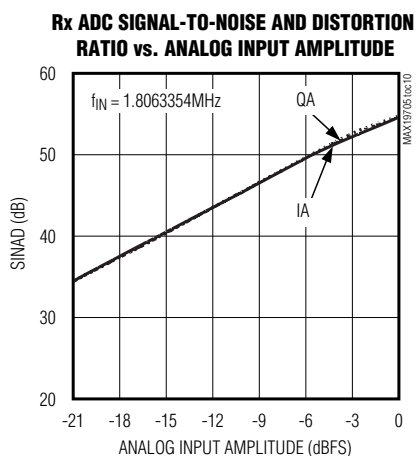
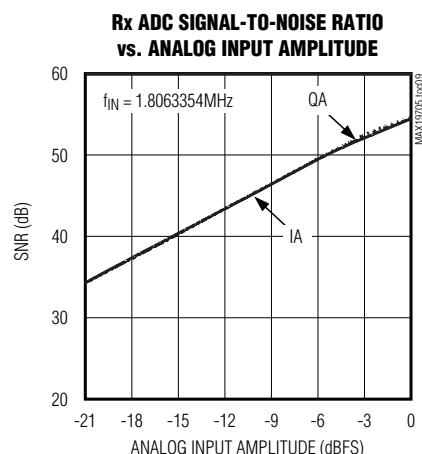
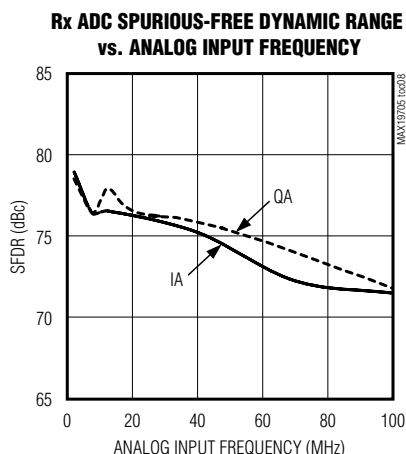
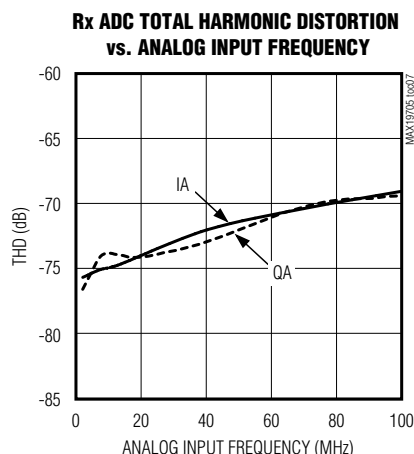
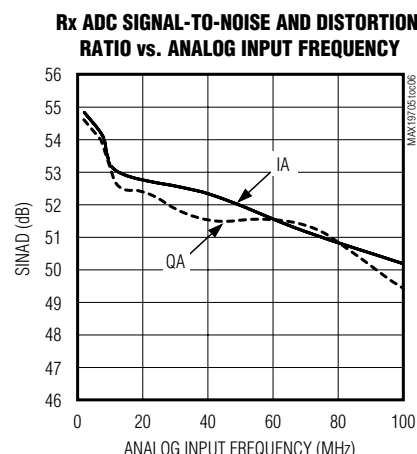
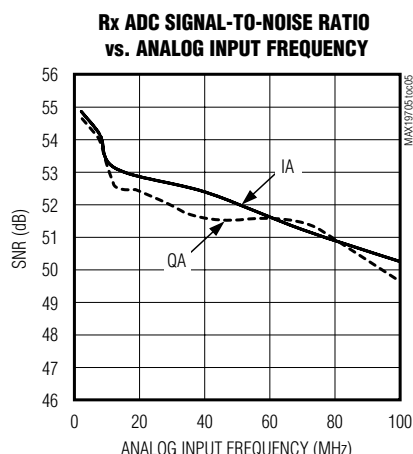
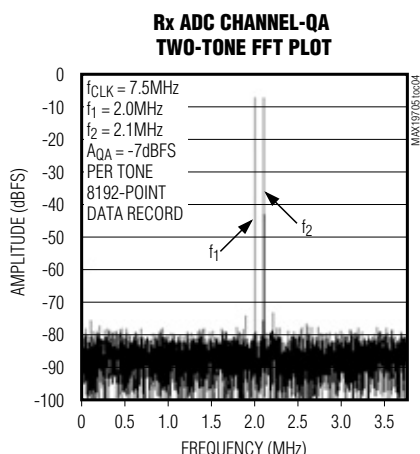
($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 7.5MHz$ (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, $T_A = +25^\circ C$, unless otherwise noted.)



10位、7.5Msps、超低功耗模拟前端

典型工作特性 (续)

($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 7.5MHz$ (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, $T_A = +25^\circ C$, unless otherwise noted.)

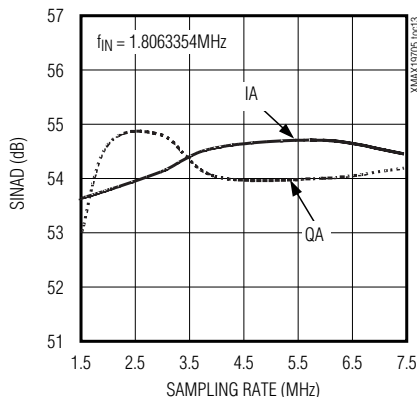


10位、7.5Msps、超低功耗模拟前端

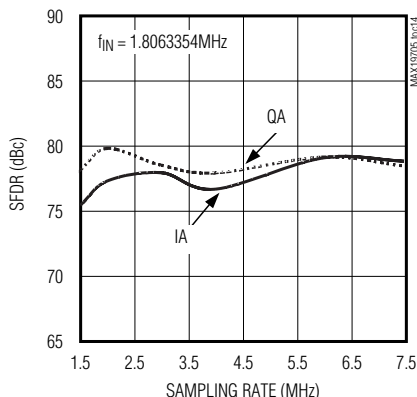
典型工作特性 (续)

($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 7.5MHz$ (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, $T_A = +25^\circ C$, unless otherwise noted.)

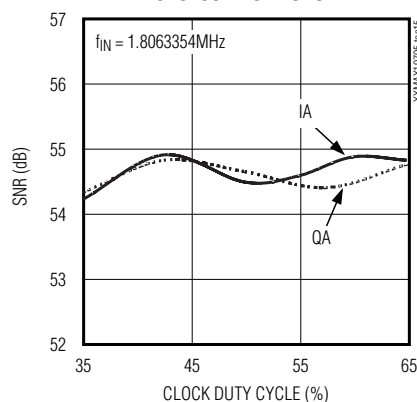
Rx ADC SIGNAL-TO-NOISE AND DISTORTION RATIO vs. SAMPLING RATE



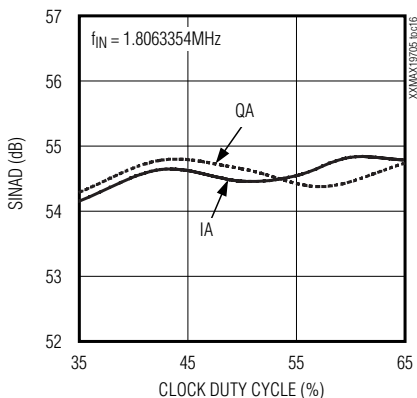
Rx ADC SPURIOUS-FREE DYNAMIC RANGE vs. SAMPLING RATE



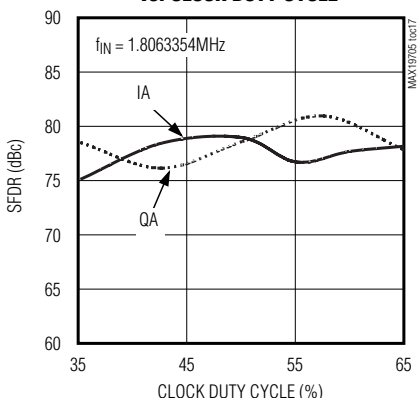
Rx ADC SIGNAL-TO-NOISE RATIO vs. CLOCK DUTY CYCLE



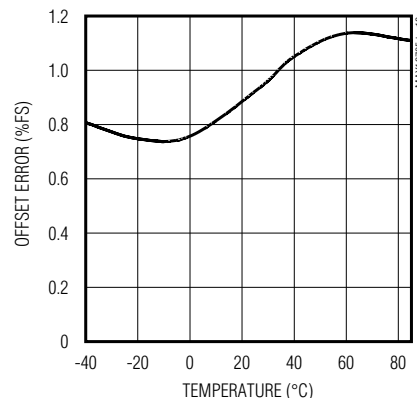
Rx ADC SIGNAL-TO-NOISE AND DISTORTION RATIO vs. CLOCK DUTY CYCLE



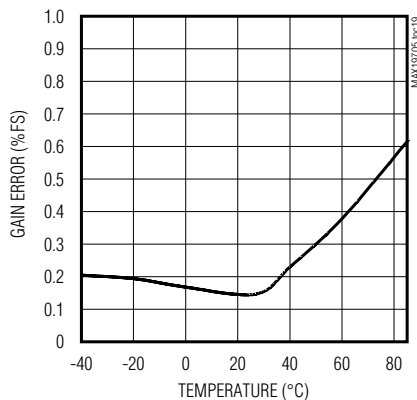
Rx ADC SPURIOUS-FREE DYNAMIC RANGE vs. CLOCK DUTY CYCLE



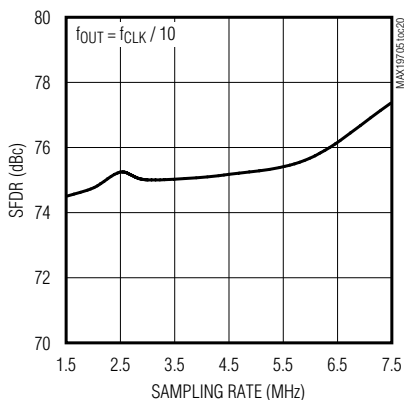
Rx ADC OFFSET ERROR vs. TEMPERATURE



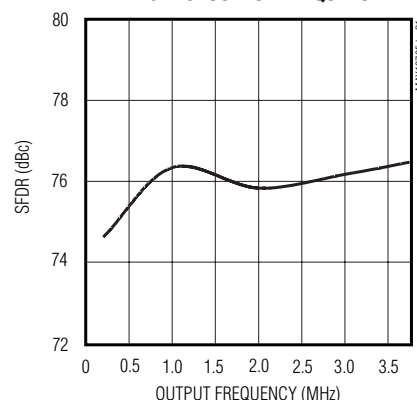
Rx ADC GAIN ERROR vs. TEMPERATURE



Tx DAC SPURIOUS-FREE DYNAMIC RANGE vs. SAMPLING RATE



Tx DAC SPURIOUS-FREE DYNAMIC RANGE vs. OUTPUT FREQUENCY

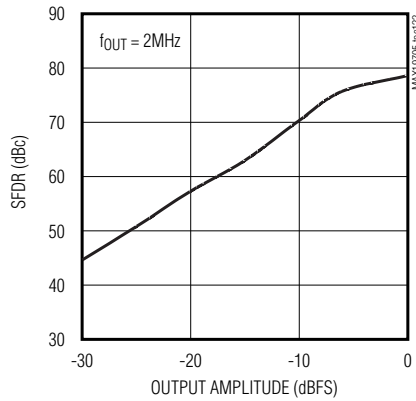


10位、7.5Msps、超低功耗模拟前端

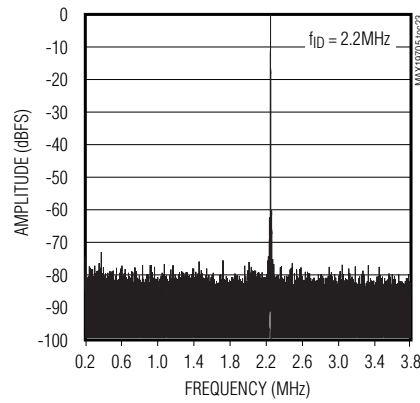
典型工作特性 (续)

($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 7.5MHz$ (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, $T_A = +25^\circ C$, unless otherwise noted.)

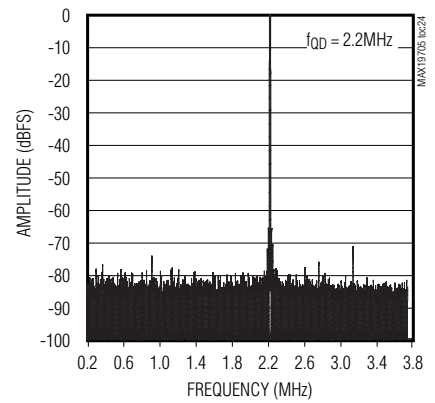
Tx DAC SPURIOUS-FREE DYNAMIC RANGE vs. OUTPUT AMPLITUDE



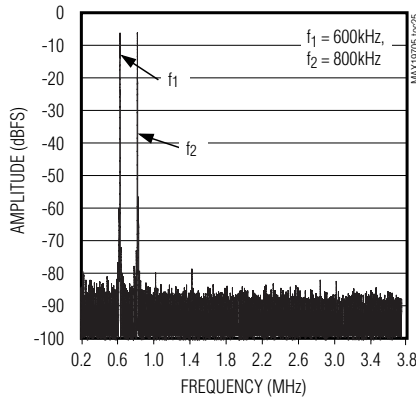
Tx DAC CHANNEL-ID SPECTRAL PLOT



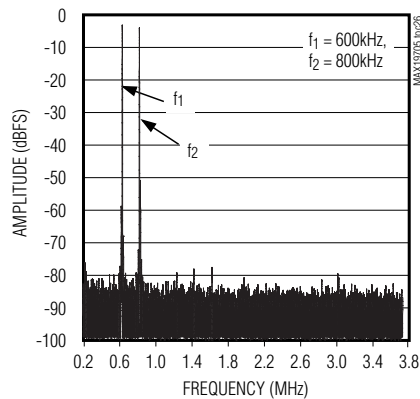
Tx DAC CHANNEL-QD SPECTRAL PLOT



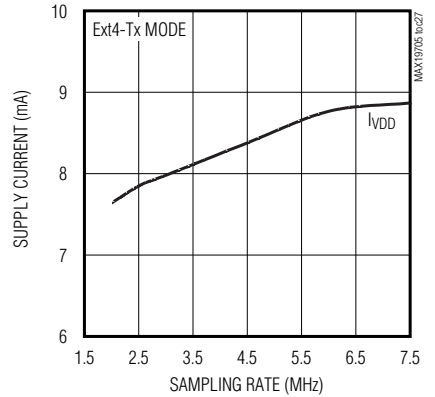
Tx DAC CHANNEL-ID TWO-TONE SPECTRAL PLOT



Tx DAC CHANNEL-QD TWO-TONE SPECTRAL PLOT



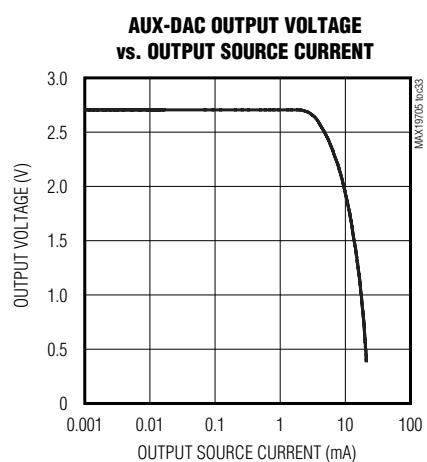
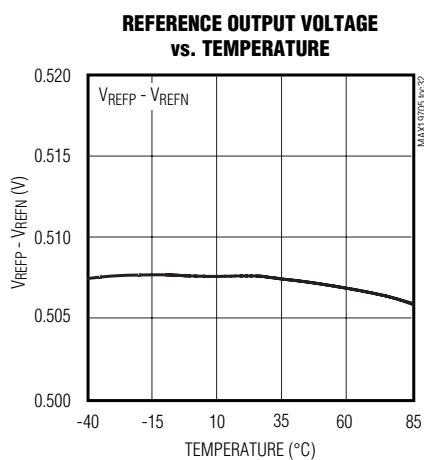
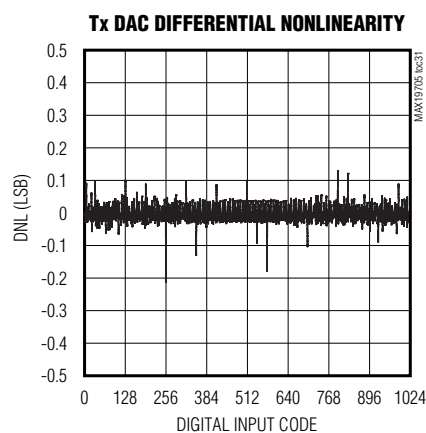
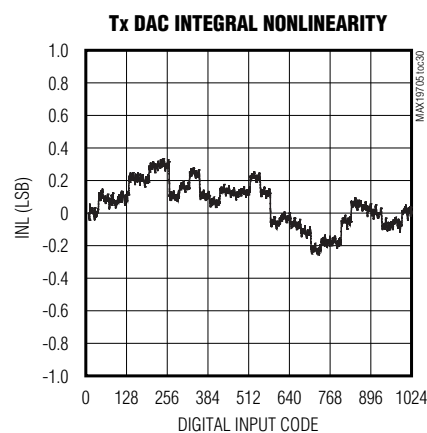
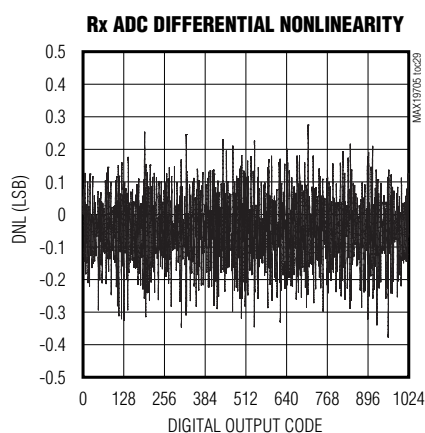
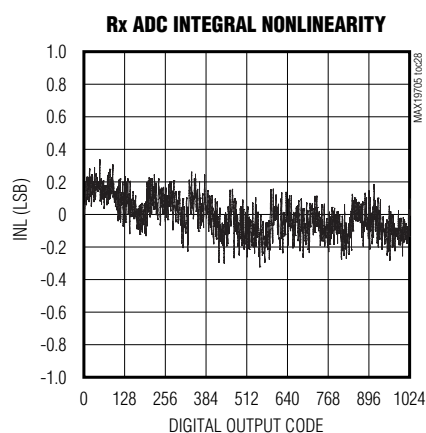
SUPPLY CURRENT vs. SAMPLING RATE



10位、7.5Msps、超低功耗模拟前端

典型工作特性 (续)

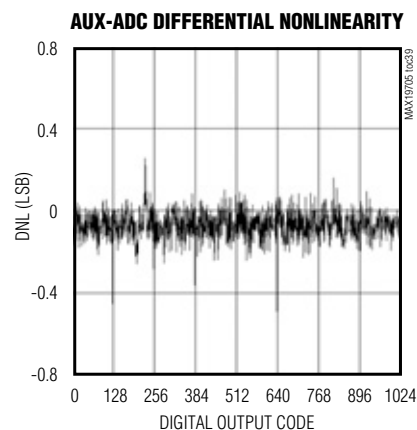
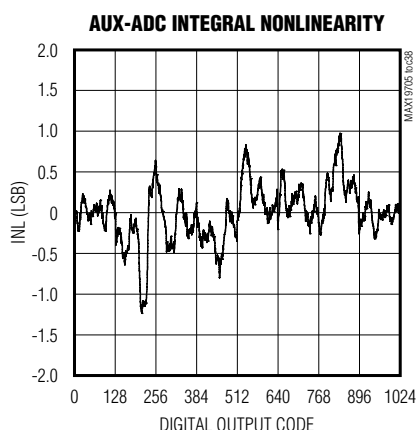
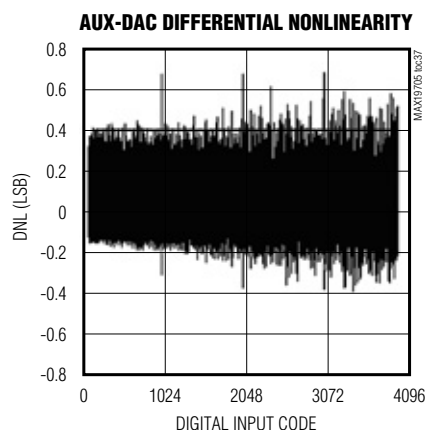
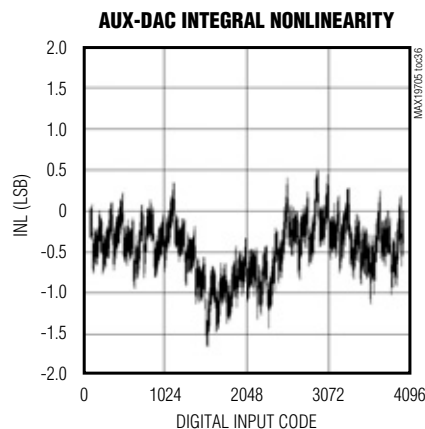
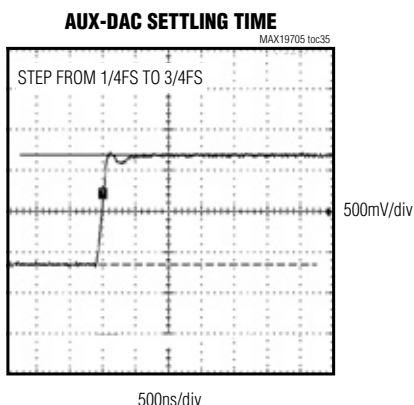
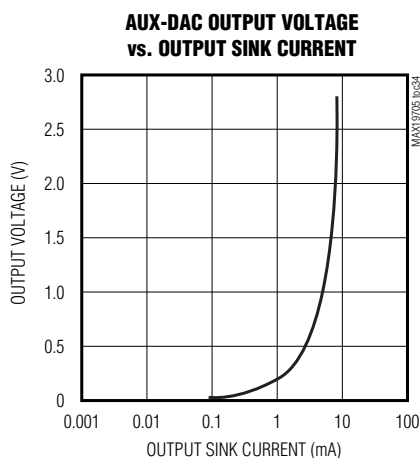
($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 7.5MHz$ (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, $T_A = +25^\circ C$, unless otherwise noted.)



10位、7.5Msps、超低功耗模拟前端

典型工作特性 (续)

($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 7.5MHz$ (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, $T_A = +25^\circ C$, unless otherwise noted.)



引脚说明

引脚	名称	功能
1	REFP	高端基准电压, 用0.33 μF 电容将其旁路到GND, 该电容应尽可能靠近REFP引脚安装。
2, 8, 11, 31, 33, 39, 43	V_{DD}	模拟电源。用并行连接的2.2 μF 和0.1 μF 电容将 V_{DD} 旁路至GND。
3	IAP	通道IA同相模拟输入, 单端工作方式下, 将信号源连至IAP。
4	IAN	通道IA反相模拟输入, 单端工作方式下, 连接IAN至COM。
5, 7, 12, 32, 42	GND	模拟地, 连接所有GND引脚至地平线。
6	CLK	转换时钟输入, 接收ADC和发送DAC的时钟信号。
9	QAN	通道QA反相模拟输入。单端工作方式下, 连接QAN至COM。

10位、7.5Msps、超低功耗模拟前端

引脚说明 (续)

引脚	名称	功能
10	QAP	通道QA同相模拟输入。单端工作方式下，将信号源连至QAP。
13–18, 21–24	D0–D9	数字I/O。接收ADC在Rx模式的输出；发送DAC在Tx模式的输入。D9为最高有效位 (MSB)，D0为最低有效位 (LSB)。
19	OGND	输出驱动器地
20	OV _{DD}	输出驱动器电源。电压范围为+1.8V至V _{DD} 。用2.2μF和0.1μF电容并联，将OV _{DD} 旁路至OGND。
25	$\overline{\text{SHDN}}$	低电平有效关断输入。逻辑低电平使MAX19705进入关断状态。
26	DOUT	辅助ADC数字输出
27	T/ $\overline{\text{R}}$	发送或接收模式选择输入。T/ $\overline{\text{R}}$ 为逻辑低电平时为接收模式；逻辑高电平时为发送模式。
28	DIN	3线串行接口数据输入。数据在SCLK上升沿锁存。
29	SCLK	3线串行接口时钟输入。
30	$\overline{\text{CS}}$	3线串行接口片选输入。逻辑低电平使能串行接口。
34	ADC2	辅助ADC模拟输入
35	ADC1	辅助ADC模拟输入
36	DAC3	辅助DAC3模拟输出
37	DAC2	辅助DAC2模拟输出
38	DAC1	辅助DAC1模拟输出 (AFC DAC，在上电期间，V _{OUT} = 1.1V)
40, 41	IDN, IDP	DAC通道ID差分电压输出
44, 45	QDN, QDP	DAC通道QD差分电压输出
46	REFIN	基准输入。使用内部基准连至V _{DD} 。
47	COM	共模电压I/O。采用0.33μF电容旁路COM至GND。
48	REFN	负基准I/O。Rx ADC转换范围为±(V _{REFP} - V _{REFN})。用0.1μF电容旁路REFN至GND。
—	EP	裸露焊盘。裸露焊盘在内部连接至GND。连接EP至GND层。

详细说明

MAX19705集成了双路10位Rx ADC和双路10位Tx DAC，在7.5Msps转换速率下具有超低功耗和较高的动态性能。Rx ADC模拟输入放大器为全差分结构，可接收1.024V_{P-P}满量程信号。Tx DAC模拟输出支持±400mV满量程全差分输出，共模直流电压可选，可调节I/Q失调。

MAX19705集成了3路12位辅助DAC (aux-DAC) 和10位、333ksps辅助ADC (aux-ADC)，带有4:1输入多路复用器。辅助DAC用于高速AGC、VGA和AFC的电压设置，建立

时间为1μs。辅助ADC具有数据平均电路，用于降低处理器的系统开销；时钟分频器用于转换速率编程。

MAX19705采用3线串行接口控制工作模式和电源管理。串行接口兼容于SPI™和MICROWIRE™。MAX19705可通过串行接口选择关断、空闲、待机、发送 (Tx) 和接收 (Rx) 模式，并能控制辅助DAC和辅助ADC。

Rx ADC和Tx DAC共享数字I/O，从而减少了数字口线，只需10位并行复用总线。10位数字总线工作在+1.8V至+3.3V电源。

SPI是Motorola, Inc.的商标。

MICROWIRE是National Semiconductor Corp.的商标。

10位、7.5Msps、超低功耗模拟前端

双路10位Rx ADC

ADC的7级全差分、流水线结构可在极低功耗下实现高速转换。流水线各级电路每半个时钟周期对输入进行一次采样。包括输出锁存延内在内，通道IA总时延为5个时钟周期，通道QA为5.5个时钟周期。ADC满量程模拟输入范围为 $\pm V_{REF}$ ，共模输入范围为 $V_{DD} / 2 (\pm 0.2V)$ 。 V_{REF} 是 V_{REFP} 和 V_{REFN} 之差。详细信息见基准设置一节。

输入采样和保持 (T/H) 电路

图1是Rx ADC输入采样和保持 (T/H) 电路简图。两路ADC输入 (IAP、QAP、IAN和QAN) 可以是差分或单端驱动。对IAP和IAN、QAP和QAN进行阻抗匹配，并将输入信号共模电压设置在Rx ADC的 $V_{DD} / 2 (\pm 200mV)$ 范围内，以实现最佳性能。

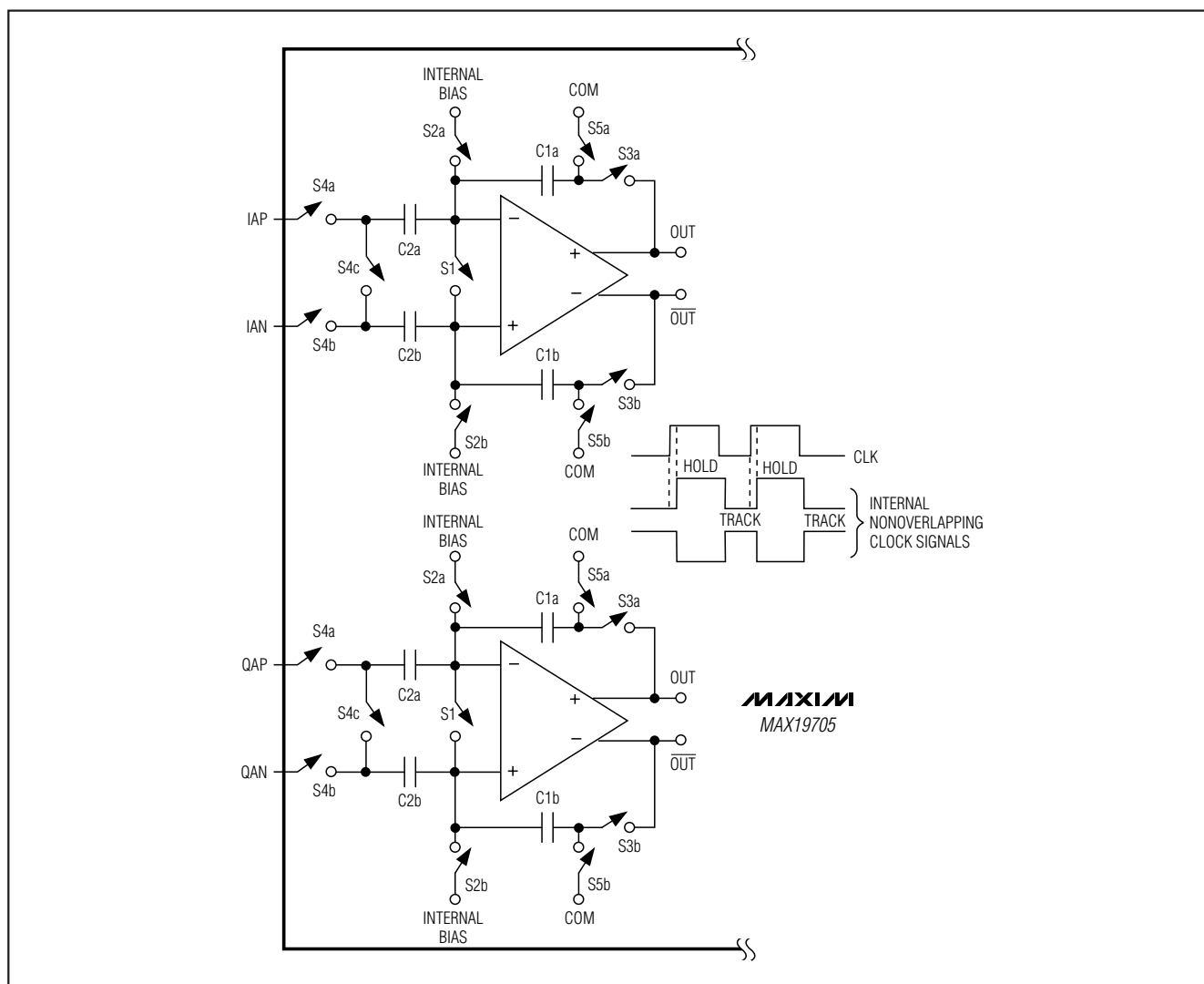


图1. Rx ADC内部T/H电路

10位、7.5Msps、超低功耗模拟前端

表 1. Rx ADC输出编码与输入电压的对应关系

DIFFERENTIAL INPUT VOLTAGE	DIFFERENTIAL INPUT (LSB)	OFFSET BINARY (D0–D9)	OUTPUT DECIMAL CODE
$V_{REF} \times 512/512$	511 (+Full Scale - 1 LSB)	11 1111 1111	1023
$V_{REF} \times 511/512$	510 (+Full Scale - 2 LSB)	11 1111 1110	1022
$V_{REF} \times 1/512$	+1	10 0000 0001	513
$V_{REF} \times 0/512$	0 (Bipolar Zero)	10 0000 0000	512
$-V_{REF} \times 1/512$	-1	01 1111 1111	511
$-V_{REF} \times 511/512$	-511 (-Full Scale + 1 LSB)	00 0000 0001	1
$-V_{REF} \times 512/512$	-512 (-Full Scale)	00 0000 0000	0

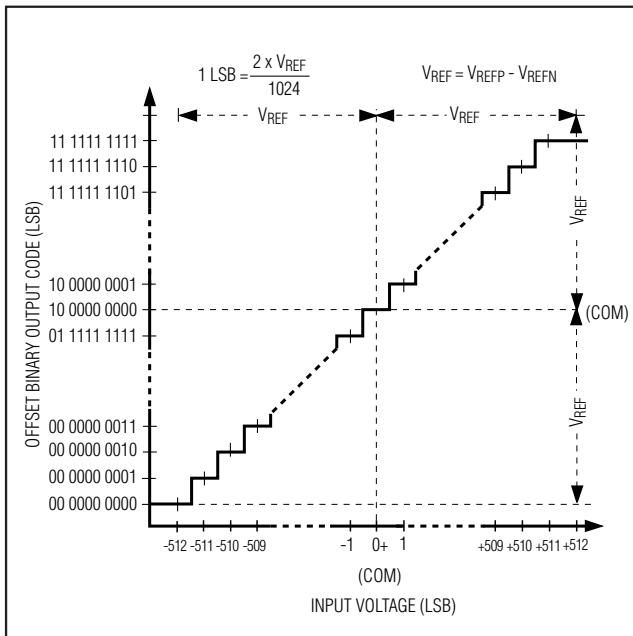


图2. Rx ADC传输函数

Rx ADC系统时序要求

图3是时钟、模拟输入和输出数据结果之间的关系。通道I (CHI) 和通道Q (CHQ) 在时钟信号 (CLK) 上升沿采样，结果复用输出到D0–D9。CHI数据在CLK上升沿刷新，CHQ数据在CLK下降沿刷新。包括输出锁存延时在内，CHI总延时为5个时钟周期，CHQ为5.5个时钟周期。

数字输入/输出数据 (D0–D9)

MAX19705在接收模式下，D0–D9是Rx ADC的数字逻辑输出。该总线与Tx DAC的数字逻辑输入共享，工作在半双工模式。MAX19705在发送模式下，D0–D9是Tx DAC数字逻辑输入。逻辑电平根据 OV_{DD} 设置在1.8V至 V_{DD} 。数字输出编码为偏移二进制码 (表1)。应保持尽可能小的数字输出D0–D9容性负载 (< 15pF)，以避免较大的数字电流馈入MAX19705模拟部分，导致动态性能下降。数字输出缓冲器能够隔离输出与较大的容性负载。在靠近MAX19705的数字输出端串联100Ω电阻，有助于提高Rx ADC和Tx DAC的性能。关于数字输出端通过100Ω串联电阻驱动数字缓冲的实例请参考MAX19705EVKIT功能框图。

在SHDN、IDLE和STBY状态下，引脚D0–D9由内部上拉，防止出现浮空的数字输入。为确保没有电流通过D0–D9 I/O，外部总线应保持三态或上拉至 OV_{DD} ，不应下拉至地。

10位、7.5Msps、超低功耗模拟前端

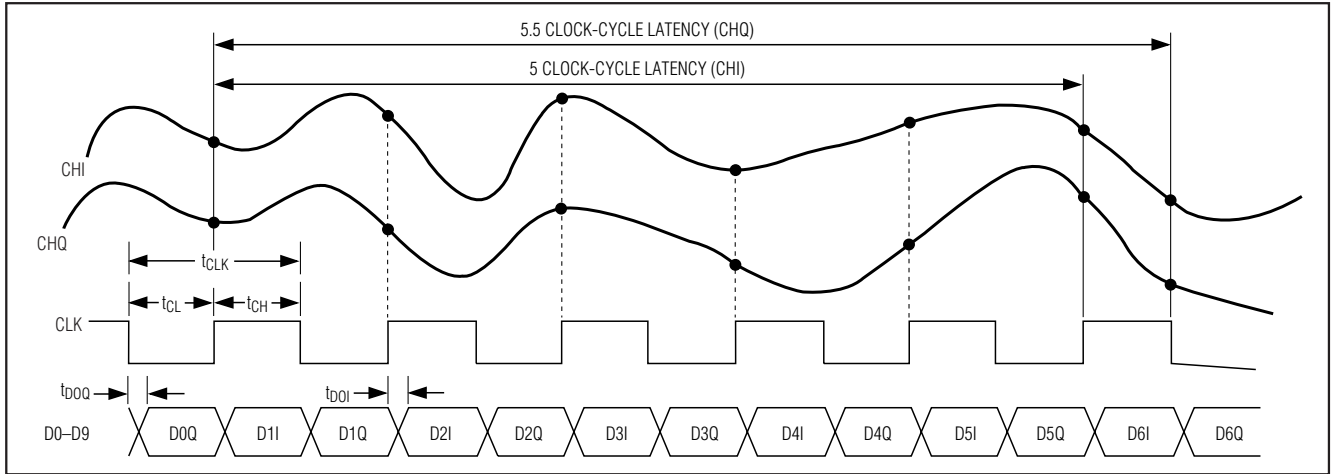


图3. Rx ADC系统时序图

双路10位Tx DAC

双路10位数模转换器 (Tx DAC) 可工作在高达7.5MHz的时钟速率下。Tx DAC数字输入, D0–D9, 复用10位总线。电压基准决定Tx DAC的满量程输出电压。有关基准电压设置的详细信息, 请参考基准设置一节。

Tx DAC在IDN、IDP和QDN、QDP的输出偏置在0.9V至1.35V可调节直流共模电压, 用于驱动输入阻抗大于等于70kΩ的差分输入级。简化了RF正交上变频器和MAX19705之间的模拟连接。多数RF上变频器需要0.9V至1.35V的共

模偏置。Tx DAC直流共模偏置省去了分立的电平设置电阻和编码产生电平偏移电路, 可确保每个Tx DAC的完整动态范围。由于共模直流电压是由内部产生的, Tx DAC差分模拟输出不能用于单端模式。表2给出了Tx DAC输出电压与输入码的对应关系。表10列出了直流共模电压的选择。图4表示Tx DAC模拟输出电压。

Tx DAC每路I/Q通道还具有独立的直流失调校准。该功能可由SPI接口设置。直流失调校准用于优化Tx信号通路的边带和载波抑制 (参见表9)。

表2. Tx DAC输出电压与输入编码的对应关系

(Internal Reference Mode $V_{REFDAC} = 1.024V$, External Reference Mode $V_{REFDAC} = V_{REFIN}$; $V_{FS} = 400$ for 800mVp-p Full Scale)

DIFFERENTIAL OUTPUT VOLTAGE (V)	OFFSET BINARY (D0–D9)	INPUT DECIMAL CODE
$(V_{FS}) \frac{V_{REFDAC}}{1024} \times \frac{1023}{1023}$	11 1111 1111	1023
$(V_{FS}) \frac{V_{REFDAC}}{1024} \times \frac{1021}{1023}$	11 1111 1110	1022
$(V_{FS}) \frac{V_{REFDAC}}{1024} \times \frac{3}{1023}$	10 0000 0001	513
$(V_{FS}) \frac{V_{REFDAC}}{1024} \times \frac{1}{1023}$	10 0000 0000	512
$(V_{FS}) \frac{-V_{REFDAC}}{1024} \times \frac{1}{1023}$	01 1111 1111	511
$(V_{FS}) \frac{-V_{REFDAC}}{1024} \times \frac{1021}{1023}$	00 0000 0001	1
$(V_{FS}) \frac{-V_{REFDAC}}{1024} \times \frac{1023}{1023}$	00 0000 0000	0

10位、7.5Msps、超低功耗模拟前端

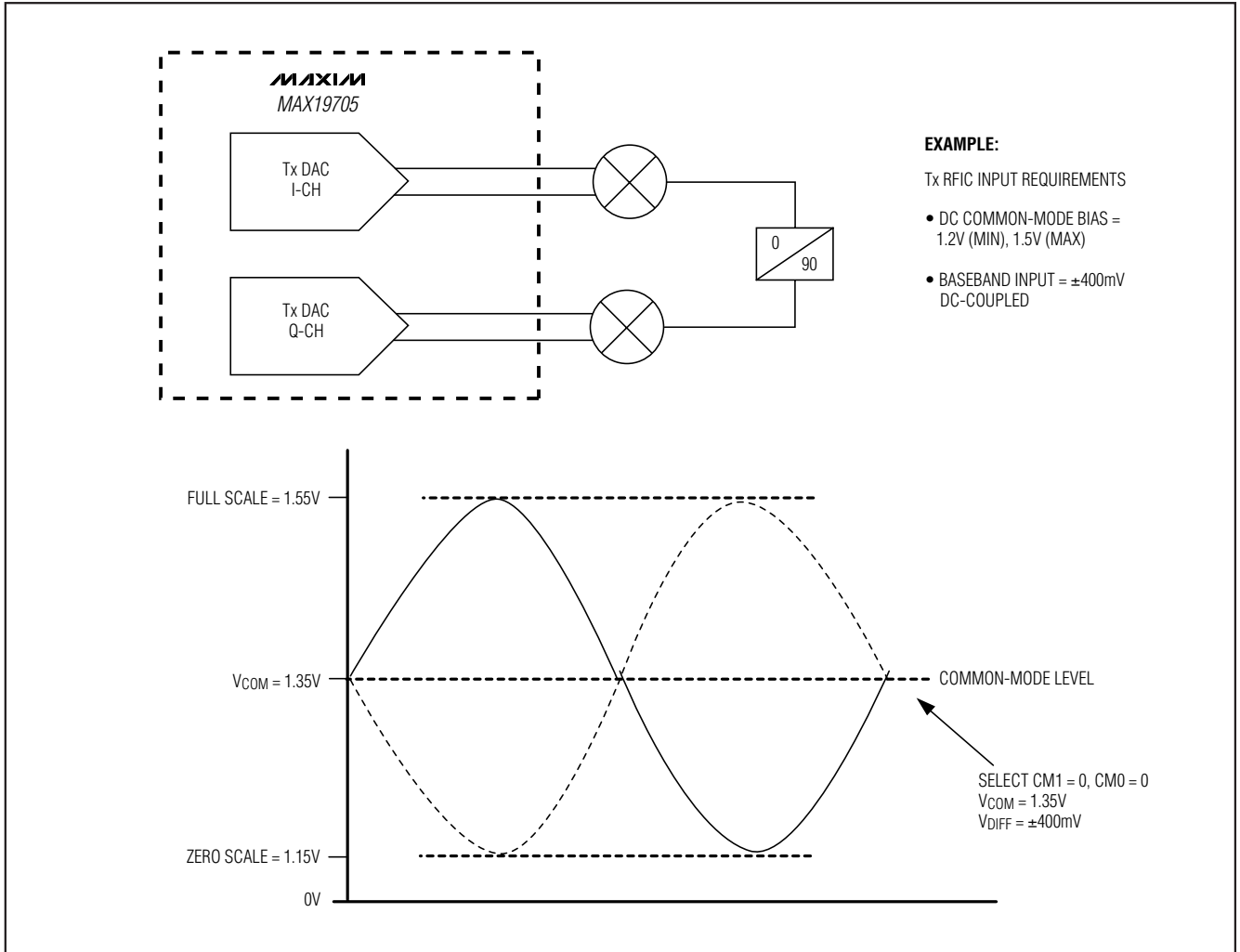


图4. Tx DAC在IDN、IDP和QDN、QDP差分输出的共模直流电压

10位、7.5Msps、超低功耗模拟前端

Tx DAC时序

图5是时钟、输入数据和模拟输出之间的对应关系。I通道 (ID) 数据在时钟信号下降沿锁存，Q通道 (QD) 数据在时钟信号上升沿锁存。I和Q输出同时在下一个时钟信号上升沿刷新。

3线串行接口和工作模式

3线串行接口控制MAX19705工作模式和三个12位辅助DAC及10位辅助ADC。上电时，设置MAX19705，使其工作在所要求的模式下。采用3线串行接口设置器件的关断、空闲、待机、Rx、Tx、辅助DAC控制或辅助ADC转换。一个16位数据寄存器用于模式控制，如表3所示。该16位字由A3–A0控制位和D11–D0数据位组成。数据移位顺序

是MSB (D11) 在前，最后是LSB (A0)。表4、表5和表6列出了MAX19705的工作模式和SPI命令。串行接口在任何模式下保持有效。

SPI寄存器说明

如表3所示，通过设置寄存器控制位A3–A0选择不同的工作模式。更改A3–A0位，将在ENABLE-16、Aux-DAC1、Aux-DAC2、Aux-DAC3、IOFFSET、QOFFSET、Aux-ADC、ENABLE-8和COMSEL模式中进行选择。ENABLE-16是默认工作模式。此模式支持关断、空闲和待机状态，以及FAST、SLOW、Rx和Tx模式间的切换。表4是MAX19705的电源管理模式。表5给出了通过T/R引脚控制外部Tx-Rx切换的模式。表6提供SPI控制Tx-Rx切换的模式。

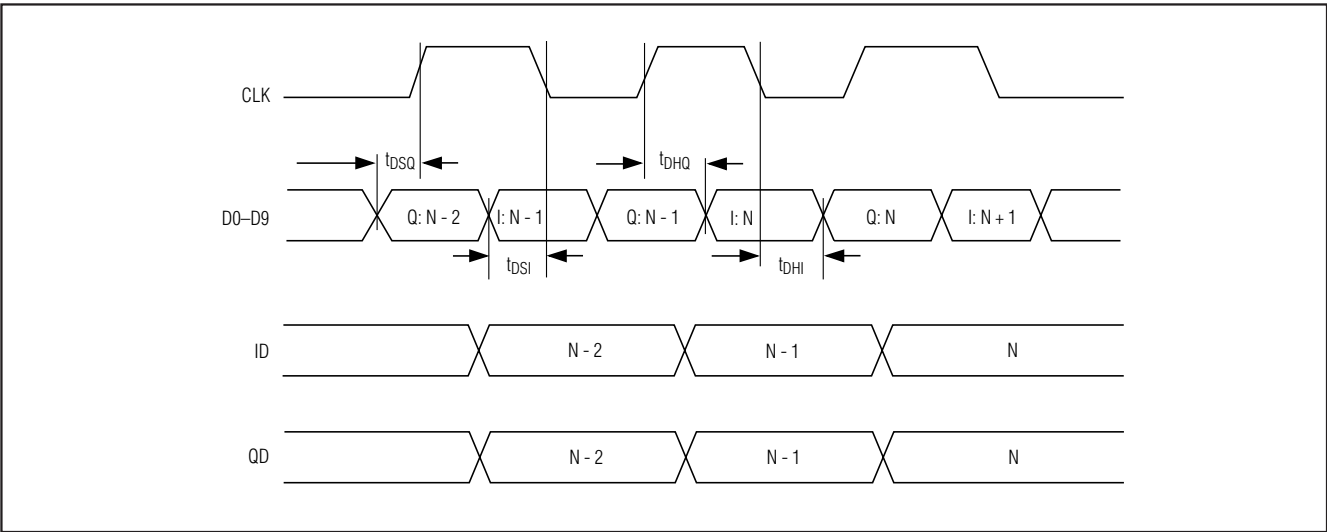


图5. Tx DAC系统时序图

10位、7.5Msps、超低功耗模拟前端

表3. MAX19705模式控制

REGISTER NAME	D11 (MSB)	D10 15	D9 14	D8 13	D7 12	D6 11	D5 10	D4 9	D3 8	D2 7	D1 6	D0 5	A3 4	A2 3	A1 2	A0 1 (LSB)
ENABLE-16	E11 = 0 Reserved	E10 = 0 Reserved	E9	—	—	E6	E5	E4	E3	E2	E1	E0	0	0	0	0
Aux-DAC1	1D11	1D10	1D9	1D8	1D7	1D6	1D5	1D4	1D3	1D2	1D1	1D0	0	0	0	1
Aux-DAC2	2D11	2D10	2D9	2D8	2D7	2D6	2D5	2D4	2D3	2D2	2D1	2D0	0	0	1	0
Aux-DAC3	3D11	3D10	3D9	3D8	3D7	3D6	3D5	3D4	3D3	3D2	3D1	3D0	0	0	1	1
I OFFSET	—	—	—	—	—	—	IO5	IO4	IO3	IO2	IO1	IO0	0	1	0	0
Q OFFSET	—	—	—	—	—	—	QO5	QO4	QO3	QO2	QO1	QO0	0	1	0	1
COMSEL	—	—	—	—	—	—	—	—	—	—	CM1	CM0	0	1	1	0
Aux-ADC	AD11 = 0 Reserved	AD10	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	0	1	1	1
ENABLE-8	—	—	—	—	—	—	—	—	E3	E2	E1	E0	1	0	0	0

— = 没有用到。

表4. 电源管理模式

ADDRESS				DATA BITS					T/ $\bar{R}$	MODE	FUNCTION (POWER MANAGEMENT)	DESCRIPTION	COMMENT
A3	A2	A1	A0	E9*	E3	E2	E1	E0	PIN 27				
0000 (16-Bit Mode) or 1000 (8-Bit Mode)				1X000					X	SHDN	SHUTDOWN	Rx ADC = OFF Tx DAC = OFF Aux-DAC = OFF Aux-ADC = OFF CLK = OFF REF = OFF	Device is in complete shutdown. Overrides T/ $\bar{R}$ pin.
				XX001					X	IDLE	IDLE	Rx ADC = OFF Tx DAC = OFF Aux-DAC = Last State CLK = ON REF = ON	Fast turn-on time. Moderate idle power. Overrides T/ $\bar{R}$ pin.
				1X010					X	STBY	STANDBY	Rx ADC = OFF Tx DAC = OFF Aux-DAC = Last State Aux-ADC = OFF CLK = OFF REF = ON	Slow turn-on time. Low standby power. Overrides T/ $\bar{R}$ pin.

X = 无关。

*E9位在8位模式中不可用。

10位、7.5Msps、超低功耗模拟前端

表5. 利用T/R引脚外部控制Tx-Rx (T/R = 0 = Rx模式, T/R = 1 = Tx模式)

ADDRESS				DATA BITS				T/R	STATE	FUNCTION Rx TO Tx-Tx TO Rx SWITCHING SPEED	DESCRIPTION	COMMENT
A3	A2	A1	A0	E3	E2	E1	E0	PIN 27				
0000 (16-Bit Mode) or 1000 (8-Bit Mode)				0011				0	Ext1-Rx	FAST-SLOW	Rx Mode: Rx ADC = ON Tx DAC = ON Rx Bus = Enable	Moderate Power: Fast Rx to Tx when T/R transitions 0 to 1.
								1	Ext1-Tx		Tx Mode: Rx ADC = OFF Tx DAC = ON Tx Bus = Enable	Low Power: Slow Tx to Rx when T/R transitions 1 to 0.
				0100				0	Ext2-Rx (Default)	SLOW-FAST	Rx Mode: Rx ADC = ON Tx DAC = OFF Rx Bus = Enable	Low Power: Slow Rx to Tx when T/R transitions 0 to 1.
								1	Ext2-Tx		Tx Mode: Rx ADC = ON Tx DAC = ON Tx Bus = Enable	Moderate Power: Fast Tx to Rx when T/R transitions 1 to 0.
				0101				0	Ext3-Rx	SLOW-SLOW	Rx Mode: Rx ADC = ON Tx DAC = OFF Rx Bus = Enable	Low Power: Slow Rx to Tx when T/R transitions 0 to 1.
								1	Ext3-Tx		Tx Mode: Rx ADC = OFF Tx DAC = ON Tx Bus = Enable	Low Power: Slow Tx to Rx when T/R transitions 1 to 0.
				0110				0	Ext4-Rx	FAST-FAST	Rx Mode: Rx ADC = ON Tx DAC = ON Rx Bus = Enable	Moderate Power: Fast Rx to Tx when T/R transitions 0 to 1.
								1	Ext4-Tx		Tx Mode: Rx ADC = ON Tx DAC = ON Tx Bus = Enable	Moderate Power: Fast Tx to Rx when T/R transitions 1 to 0.

10位、7.5Msps、超低功耗模拟前端

表6. 利用SPI命令控制Tx-Rx

ADDRESS				DATA BITS				T/R	MODE	FUNCTION (Tx-Rx SWITCHING SPEED)	DESCRIPTION	COMMENTS
A3	A2	A1	A0	E3	E2	E1	E0	PIN 27				
0000 (16-Bit Mode) or 1000 (8-Bit Mode)				1011				X	SPI1-Rx	SLOW	Rx Mode: Rx ADC = ON Tx DAC = OFF Rx Bus = Enable	Low Power: Slow Rx to Tx through SPI command.
				1100				X	SPI2-Tx	SLOW	Tx Mode: Rx ADC = OFF Tx DAC = ON Tx Bus = Enable	Low Power: Slow Tx to Rx through SPI command.
				1101				X	SPI3-Rx	FAST	Rx Mode: Rx ADC = ON Tx DAC = ON Rx Bus = Enabled	Moderate Power: Fast Rx to Tx through SPI command.
				1110				X	SPI4-Tx	FAST	Tx Mode: Rx ADC = ON Tx DAC = ON Tx Bus = Enabled	Moderate Power: Fast Tx to Rx through SPI command.

X = 无关。

在ENABLE-16模式下，辅助DAC具有独立的控制位：E4、E5和E6，且E9位可用来使能辅助ADC。表7是辅助DAC使能编码，表8是辅助ADC使能编码。E11和E10位保留，需要设为逻辑低。

Aux-DAC1、aux-DAC2和aux-DAC3对DAC1、DAC2和DAC3辅助DAC通道进行选择，并为每个DAC保持输入数据。_D11-_D0是每个辅助DAC的输入数据，可通过SPI编程。MAX19705还包含两个6位寄存器，分别对Tx通路的I、Q通道进行失调校准（参见表9）。利用COMSEL模式的CM1和CM0位选择输出共模电压（参见表10）。利用aux-ADC启动辅助ADC转换（详细内容请参考10位、333kps辅助ADC一节）。ENABLE-8模式用于快速使能和关断、空闲、待机状态之间的切换，以及FAST/SLOW/Rx和Tx模式之间的切换。

表7. 辅助DAC使能表 (ENABLE-16模式)

E6	E5	E4	Aux-DAC3	Aux-DAC2	Aux-DAC1
0	0	0	ON	ON	ON
0	0	1	ON	ON	OFF
0	1	0	ON	OFF	ON
0	1	1	ON	OFF	OFF
1	0	0	OFF	ON	ON
1	0	1	OFF	ON	OFF
1	1	0	OFF	OFF	ON
1	1	1	OFF	OFF	OFF

表8. 辅助ADC使能表 (ENABLE-16模式)

E9	SELECTION
0 (Default)	Aux-ADC is Powered ON
1	Aux-ADC is Powered OFF

10位、7.5Msps、超低功耗模拟前端

表 9. 1、Q通道失调控制位 (IOFFSET 或 QOFFSET 模式)

BITS IO5–IO0 WHEN IN IOFFSET MODE, BITS QO5–QO0 WHEN IN QOFFSET MODE						OFFSET 1 LSB = (VFS _{P-P} / 1023)
IO5/QO5	IO4/QO4	IO3/QO3	IO2/QO2	IO1/QO1	IO0/QO0	
1	1	1	1	1	1	-31 LSB
1	1	1	1	1	0	-30 LSB
1	1	1	1	0	1	-29 LSB
•	•	•	•	•	•	•
•	•	•	•	•	•	•
•	•	•	•	•	•	•
1	0	0	0	1	0	-2 LSB
1	0	0	0	0	1	-1 LSB
1	0	0	0	0	0	0mV
0	0	0	0	0	0	0mV (Default)
0	0	0	0	0	1	1 LSB
0	0	0	0	1	0	2 LSB
•	•	•	•	•	•	•
•	•	•	•	•	•	•
•	•	•	•	•	•	•
0	1	1	1	0	1	29 LSB
0	1	1	1	1	0	30 LSB
0	1	1	1	1	1	31 LSB

注：对于±400mV满量程发送：1 LSB = $(800\text{mV}_{P-P} / 1023) = 0.7820\text{mV}$ 。

表 10. 共模选择(COMSEL 模式)

CM1	CM0	Tx DAC OUTPUT COMMON MODE (V)
0	0	1.35 (Default)
0	1	1.20
1	0	1.05
1	1	0.90

关断模式将关闭MAX19705的所有模拟电路，将Rx ADC数字输出置为三态模式，能够最有效地降低功耗。当Rx ADC输出由三态恢复工作时，数字输出为上一次的转换数据。Tx DAC从关断模式唤醒时，以前存储的数据将会丢失。从关断模式唤醒所需时间取决于REFP、REFN和COM电容充电时间。内部基准模式和带缓冲的外部基准模式下，唤醒时间典型值为：进入Rx模式84.9μs，进入Tx模式26.4μs。

空闲模式下，基准和时钟分配电路工作，其它所有功能都被禁止；Rx ADC输出强制为三态。唤醒时间为：进入Rx模式10.9μs，进入Tx模式6μs。当Rx ADC输出从三态恢复工作时，数字输出为上一次的转换数据。

待机模式下，基准工作，器件其它功能被禁止。从待机模式的唤醒时间为：进入Rx模式17.6μs，进入Tx模式25μs。当Rx ADC输出从三态恢复到有效状态时，数字输出为上一次的转换数据。

FAST/SLOW Rx和Tx模式

MAX19705不仅具有外部Tx-Rx控制功能，还提供SLOW和FAST模式实现Rx和Tx切换。在FAST Tx模式，Rx ADC核上电，而ADC核在D0–D9总线的数字输出为三态；同样，在FAST Rx模式下，发送DAC核上电，而DAC核在D0–D9总线的数字输入为三态。由于变换器已经处于上电状态，不必从关断状态恢复，因此Tx至Rx或Rx至Tx的切换时间很短。在FAST模式下，Rx至Tx和Tx至Rx的切换时间为0.5μs。

10位、7.5Mps、超低功耗模拟前端

但是, 由于Tx和Rx内核始终有效, 该模式下功耗较高。为防止这些状态下出现总线冲突, Rx ADC输出缓冲在Tx期间保持三态, Tx DAC输入总线在Rx期间保持三态。

SLOW模式下, Rx ADC核在Tx期间关闭; 同样, Tx DAC在Rx期间关断, 以保持低功耗。SLOW Tx模式下的功耗为22.2mW; Rx模式下的功耗为21mW, 而FAST模式下的功耗为28.2mW。但是, SLOW模式下不同状态间的切换恢复时间增加。SLOW模式下, Rx至Tx的切换时间为6 μ s, Tx至Rx为8.1 μ s。

外部T/ $\bar{R}$ 切换控制与串行接口控制

ENABLE-16或ENABLE-8寄存器的E3位决定器件的Tx-Rx模式由外部T/R输入(E3为逻辑低)控制,还是通过SPI命令(E3为逻辑高)控制。MAX19705默认设置为外部控制Tx-Rx模式。在外部控制模式下,利用T/R输入(引脚27)

控制Rx和Tx的模式切换，这种切换速度较快。MAX19705可通过串口禁止外部Tx-Rx控制。在SHDN、IDLE或STBY模式下，T_R输入无效。将E3置低，并通过串口控制退出SHDN、IDLE或STBY模式，恢复外部Tx-Rx控制。

SPI时序

串行数字接口兼容于3线标准SPI/QSPI™/MICROWIRE/DSP接口。 $\overline{\text{CS}}$ 置低允许串行数据加载到DIN或输出到DOUT。 $\overline{\text{CS}}$ 由高变低后,数据在串行时钟(SCLK)上升沿以高位在先的方式同步移位。16位数据装入串行输入寄存器后, $\overline{\text{CS}}$ 变高锁存数据。在下一个写周期前,需要将 $\overline{\text{CS}}$ 置为高电平,并至少保持80ns。SCLK在转换期间为空闲状态,可以是高电平,也可以是低电平。图6是3线串行接口的详细时序。

OSPI是Motorola, Inc.的商标。

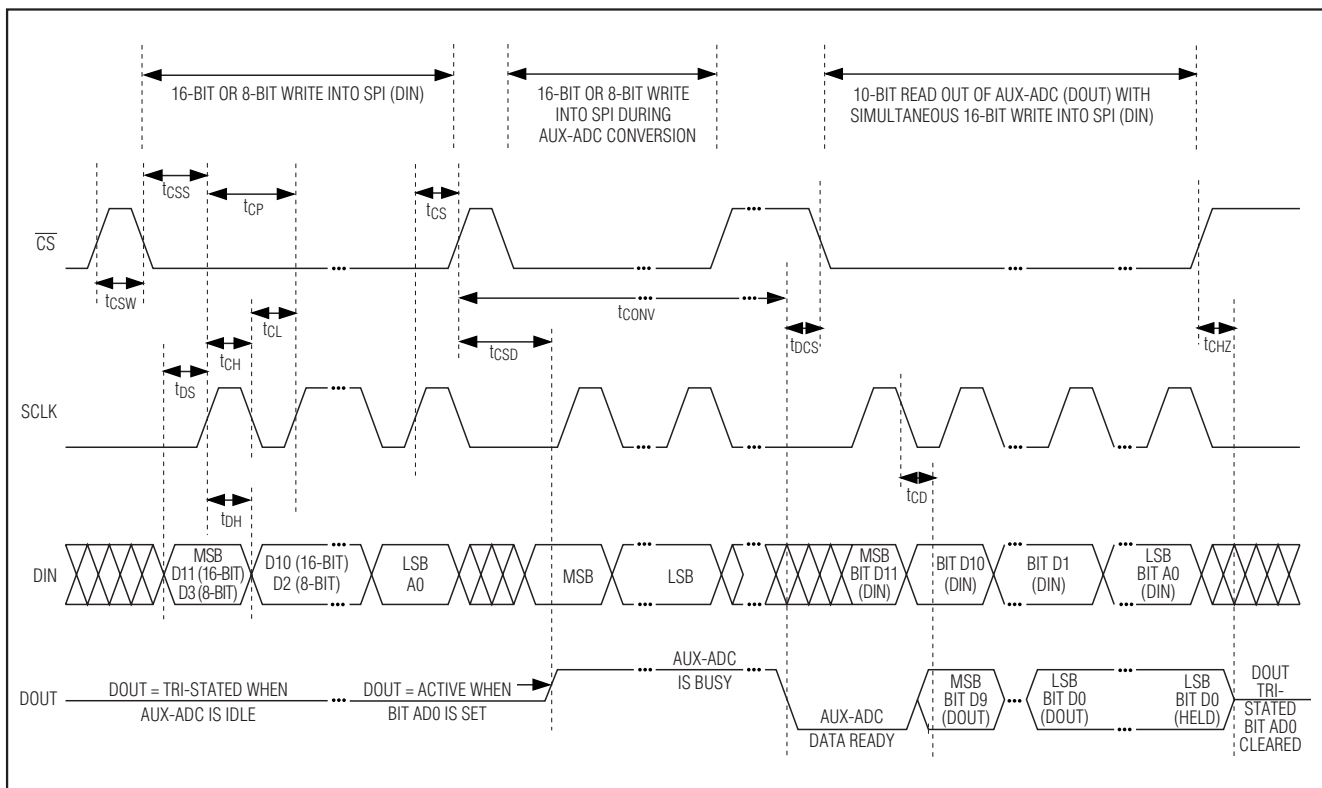


图6. 串行接口时序图

10位、7.5Msps、超低功耗模拟前端

模式恢复时序

图7是模式恢复时序。 t_{WAKE} 是退出关断、空闲或待机模式，进入Rx或Tx模式的唤醒时间。 t_{ENABLE} 是Rx和Tx模式之间相互切换的恢复时间。 t_{WAKE} 和 t_{ENABLE} 分别是Rx ADC达到指定SINAD指标1dB以内的建立时间和Tx DAC达到10个LSB误差范围内的时间。 t_{WAKE} 和 t_{ENABLE} 是在16位串行指令由 $\overline{CS}$ 上升沿锁存到MAX19705后(通过SPI控制)或T/R逻辑跳变(外部Tx-Rx控制)后进行测量。在FAST模式下，Tx和Rx模式间切换的恢复时间为0.5 μ s。

系统时钟输入 (CLK)

Rx ADC和Tx DAC共享CLK输入。CLK输入可接收由 OV_{DD} 设置的1.8V至 V_{DD} CMOS逻辑电平。由于器件的级间转

换取决于外部时钟上升沿和下降沿的重复性，应采用低抖动、上升和下降时间较快(< 2ns)的时钟。由于在时钟信号上升沿采样，要求该上升沿抖动应尽可能低。任何明显的时钟抖动都会降低片内Rx ADC的SNR指标，如下式所示：

$$SNR = 20 \times \log \left(\frac{1}{2 \times \pi \times f_{IN} \times t_{AJ}} \right)$$

其中， f_{IN} 代表模拟输入频率， t_{AJ} 是时钟抖动时间。

时钟抖动对于欠采样应用非常关键。可将时钟输入作为模拟输入考虑，与其它模拟输入和数字信号线分开布线。MAX19705时钟输入电压门限为 $OV_{DD} / 2$ ，占空比50% $\pm 15\%$ 。

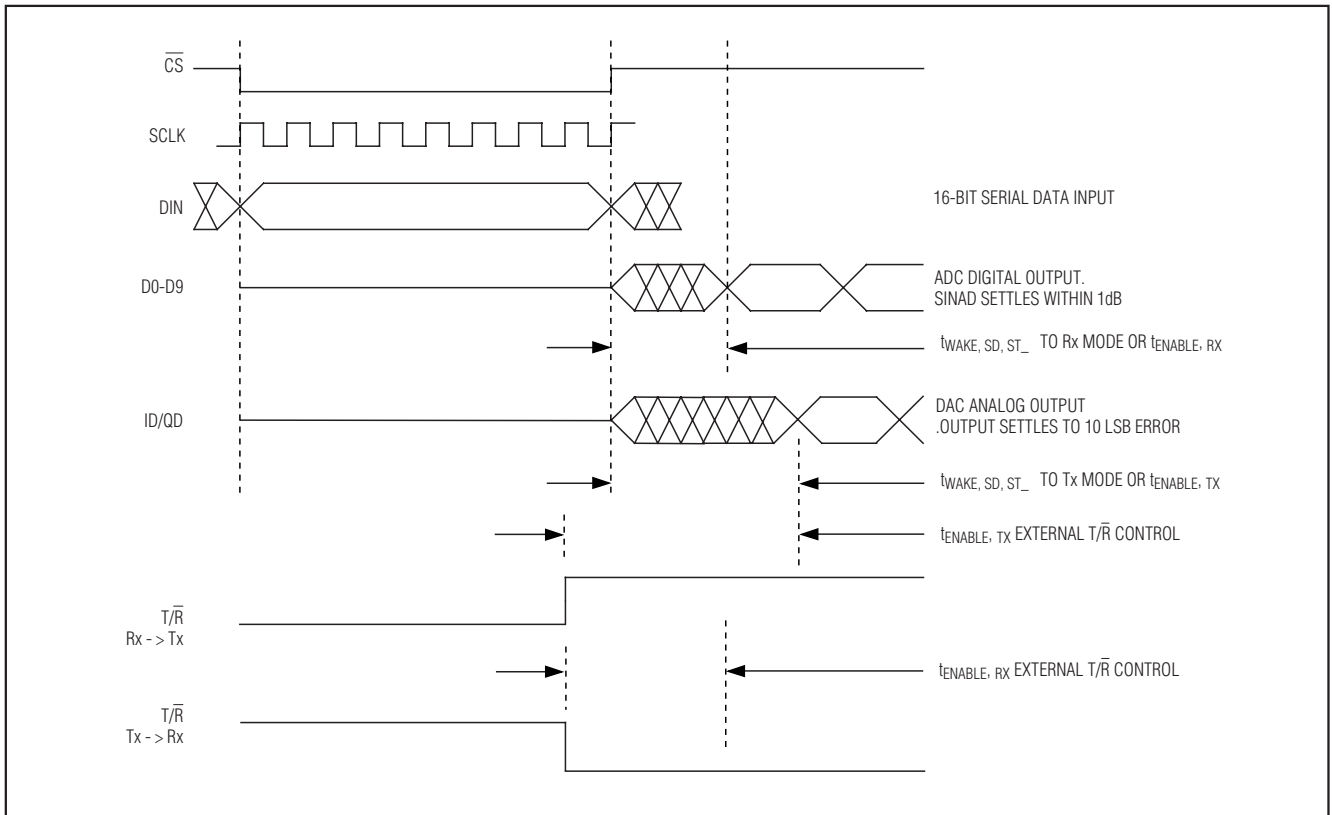


图7. 模式恢复时序

10位、7.5Msps、超低功耗模拟前端

12位辅助控制DAC

MAX19705 包含三路12位辅助DAC (DAC1、DAC2、DAC3)，建立时间为1 μ s，用于控制可变增益放大器(VGA)、自动增益控制 (AGC) 和自动频率控制 (AFC)。辅助DAC输出范围为0.1V至2.56V。上电过程中，VGA和AGC输出 (DAC2和DAC3) 为零。AFC DAC (DAC1) 上电期间输出为1.1V。辅助DAC可由SPI总线单独控制，但在SHDN模式下，辅助DAC完全关断，输出电压为零。在STBY和IDLE模式下，辅助DAC维持上一次的转换结果。从SHDN唤醒时，辅助DAC恢复上一次的转换结果。

应仔细考虑辅助DAC的输出负载，以获得所需的建立时间和稳定性。容性负载最大不得超过5pF (含封装和引线电容)，阻性负载必须大于200k Ω 。如果容性负载大于5pF，则需在输出上串联一个10k Ω 电阻。此串联电阻有助于驱动较大的负载电容 (< 15pF)，但会延长建立时间。

10位、333ksps辅助ADC

MAX19705集成了333ksps、10位辅助ADC，带有4:1输入多路复用器。在辅助ADC模式寄存器中，将AD0置位将

启动一次辅助ADC转换。转换完成后，AD0位自动清零。转换期间将AD0置位或清零均无效 (参见表11)。AD1位决定辅助ADC的内部基准 (参见表12)。AD2和AD3位决定辅助ADC的输入源 (参见表13)。AD4、AD5和AD6位用来选择发出一条开始转换命令后取平均的个数。随着取平均个数的增加，转换时间也变长 (参见表14)。适当设置AD7、AD8和AD9位 (参见表15)，可对系统时钟分频，得到转换时钟。将AD10位置高 (参见表16)，可在DOUT输出辅助ADC的输出数据。

辅助ADC带有4:1输入多路复用器，能够测量四路输入源。输入源是由AD3和AD2 (参见表13) 选择。两个多路复用器输入 (ADC1和ADC2) 可以连接到外部信号源，例如：MAX2208射频功率检测器或MAX6613温度传感器。另外两个多路复用器输入内部连接到V_{DD}和OV_{DD}，用于监测电源电压。内部V_{DD}和OV_{DD}连接通过集成的电阻分压器实现，产生V_{DD} / 2和OV_{DD} / 2的测量结果。辅助ADC的电压基准可从内部2.048V带隙基准或/V_{DD} (参见表12) 选择。提供V_{DD}基准选择，能够以高于2.048V的满量程范围测量外部电压。输入源电压范围不能超出V_{DD}。

表 11. 辅助ADC转换

AD0	SELECTION
0	Aux-ADC Idle (Default)
1	Aux-ADC Start-Convert

表 12. 辅助ADC基准

AD1	SELECTION
0	Internal 2.048V Reference (Default)
1	Internal V _{DD} Reference

表 13. 辅助ADC输入源

AD3	AD2	AUX-ADC INPUT SOURCE
0	0	ADC1 (Default)
0	1	ADC2
1	0	V _{DD} / 2
1	1	OV _{DD} / 2

10位、7.5Msps、超低功耗模拟前端

转换过程需要12个时钟沿 (1个时钟用于输入采样、10位数据的每一位需要1个时钟, 最后1个时钟用于装载串行输出寄存器) 完成一次转换 (未进行数据平均操作)。数据平均每次转换需要12个时钟沿 (当参与数据平均的个数大于1时), 转换时钟由系统时钟输入 (CLK) 产生。SPI可编程分频器对系统时钟进行适当分频 (设置位AD7、AD8和AD9; 参见表15), 并为辅助ADC提供转换时钟。辅助ADC的最大转换速率为333ksps。最大转换时钟频率为4MHz (333ksps x 12个时钟)。根据提供给MAX19705的系统CLK频率 (参见表15), 选择适当的分频比使转换时钟频率小于4MHz。辅助ADC的总转换时间可通过下式计算: $t_{CONV} = (12 \times N_{AVG} \times N_{DIV}) / f_{CLK}$; 其中, N_{AVG} 为参与数据平均的个数 (参见表14)、 N_{DIV} 为CLK分频比 (参见表15), f_{CLK} 为系统CLK频率。

DOUT通常处于三态模式。将辅助ADC启动转换位 (AD0) 置位, DOUT有效并置为高电平, 指示辅助ADC忙。转换周期完成 (包括取平均在内) 后, 将数据放入输出寄存器, 且DOUT变为低电平, 指示输出数据已就绪, 可驱动到DOUT端。当AD10置位 ($AD10 = 1$) 时, 辅助ADC进入数据输出模式, 当 $\overline{CS}$ 置为低电平时数据在DOUT端有效。辅助ADC数据移出DOUT (MSB在前), 在串行时钟 (SCLK) 的下降沿移出数据。 $\overline{CS}$ 置高时, DOUT进入三态。当AD10清零 ($AD10 = 0$) 时, 不能够从DOUT获取辅助ADC数据 (参见表16)。

可对DIN进行写操作, 与DOUT状态无关。从DIN端输入的16位指令将更新器件配置。为防止从DOUT读数据时更改内部寄存器, 须保持DIN处于高电平状态。可向地址1111写入全1, 因为不存在地址1111, 所以内部寄存器不会受到影响。

表 14. 辅助ADC数据平均

AD6	AD5	AD4	AUX-ADC AVERAGING
0	0	0	1 Conversion (No Averaging) (Default)
0	0	1	Average of 2 Conversions
0	1	0	Average of 4 Conversions
0	1	1	Average of 8 Conversions
1	0	0	Average of 16 Conversions
1	0	1	Average of 32 Conversions
1	1	X	Average of 32 Conversions

X = 无关。

表 15. 辅助ADC时钟 (CLK) 分频器

AD9	AD8	AD7	AUX-ADC CONVERSION CLOCK
0	0	0	CLK Divided by 1 (Default)
0	0	1	CLK Divided by 2
0	1	0	CLK Divided by 4
0	1	1	CLK Divided by 8
1	0	0	CLK Divided by 16
1	0	1	CLK Divided by 32
1	1	0	CLK Divided by 64
1	1	1	CLK Divided by 128

表 16. 辅助ADC数据输出模式

AD10	SELECTION
0	Aux-ADC Data is Not Available on DOUT (Default)
1	Aux-ADC Enters Data Output Mode Where Data is Available on DOUT

10位、7.5Msps、超低功耗模拟前端

表 17. 基准模式

V _{REFIN}	REFERENCE MODE
> 0.8V × V _{DD}	Internal Reference Mode. V _{REF} is internally generated to be 0.512V. Bypass REFP, REFN, and COM each with a 0.33μF capacitor.
1.024V ± 10%	Buffered External Reference Mode. An external 1.024V ± 10% reference voltage is applied to REFIN. V _{REF} is internally generated to be V _{REFIN} / 2. Bypass REFP, REFN, and COM each with a 0.33μF capacitor. Bypass REFIN to GND with a 0.1μF capacitor.

基准设置

MAX19705内部精密的1.024V带隙基准可在整个电源范围和温度范围内保持稳定。REFIN输入提供两种基准模式。由REFIN (V_{REFIN}) 电压设置基准工作模式(表17)。

在内部基准模式下，将REFIN连接到V_{DD}。V_{REF}是由内部产生的0.512V ± 4%电压基准。COM、REFP和REFN分别为低阻输出，V_{COM} = V_{DD} / 2、V_{REFP} = V_{DD} / 2 + V_{REF} / 2、V_{REFN} = V_{DD} / 2 - V_{REF} / 2。分别采用0.33μF电容旁路REFP、REFN和COM。采用0.1μF电容旁路REFIN至GND。

对于带缓冲的外部基准模式，在REFIN端接1.024V ± 10%电压。此时，COM、REFP和REFN为低阻输出，V_{COM} = V_{DD} / 2、V_{REFP} = V_{DD} / 2 + V_{REFIN} / 4、V_{REFN} = V_{DD} / 2 - V_{REFIN} / 4。分别采用0.33μF电容旁路REFP、REFN和COM。采用0.1μF电容旁路REFIN至GND。此模式下，Tx DAC满量程输出与外部基准成正比。例如，如果V_{REFIN}增加10% (最大值)，Tx DAC满量程输出也相应增大10%，达到±440mV。

应用信息

采用非平衡变压器AC耦合

RF变压器(图8)为单端信号至差分信号转换提供了一种优异的解决方案，可获得最佳ADC性能。将变压器中心抽头连至COM，为输入提供一个V_{DD} / 2的DC电平偏置。可以使用1:1变压器，为降低对驱动电路的要求，也可使用升压变压器。通常，MAX19705全差分输入可以获得比单端信号更好的SFDR和THD性能，特别是高频输入的情况。差分模式下，由于输入信号(IAP、IAN、QAP、QAN)

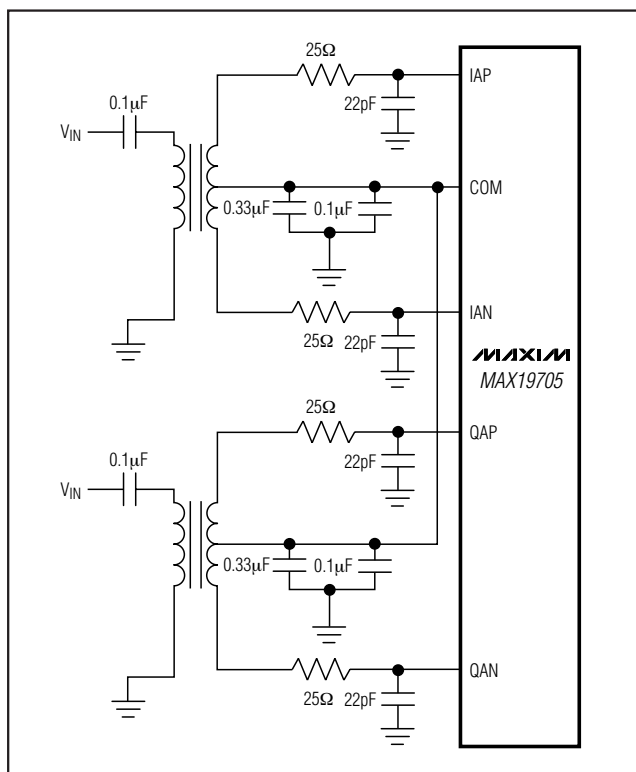


图8. Rx ADC采用非平衡变压器耦合的单端至差分输入驱动

对称，偶次谐波分量很低，与单端模式相比，每路Rx ADC输入只需单端信号摆幅的一半。图9是将MAX19705 Tx DAC差分模拟输出转换为单端输出的RF变压器电路。

10位、7.5Msps、超低功耗模拟前端

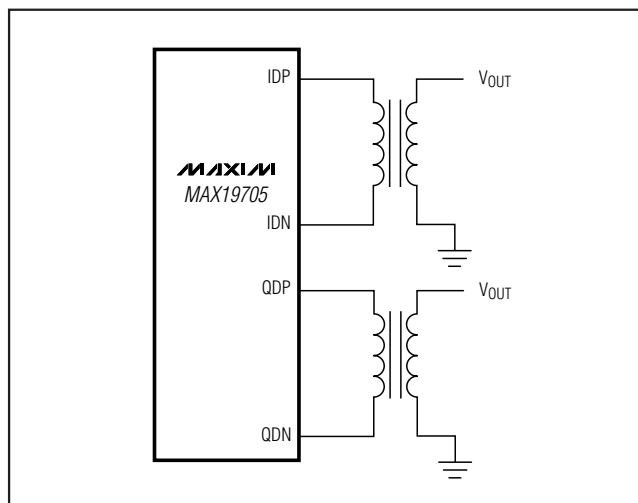


图9. Tx DAC非平衡变压器耦合的差分至单端输出驱动

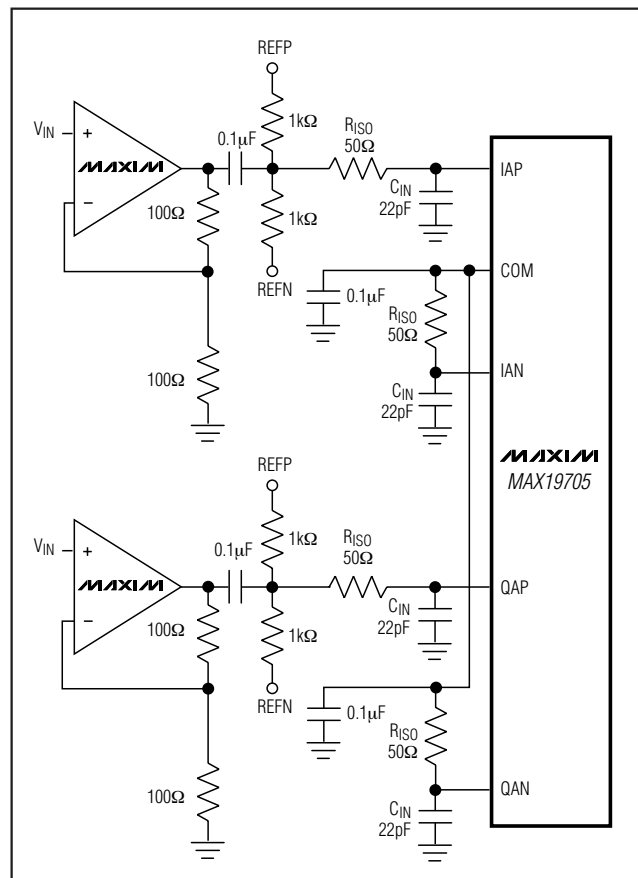


图10. Rx ADC单端驱动

采用运算放大器耦合

在无法使用非平衡变压器的情况下，可以采用运算放大器驱动 MAX19705 Rx ADC。Rx ADC采用运算放大器驱动的单端AC耦合和差分DC耦合分别如图10和图11所示。MAX4454和MAX4354等放大器具有高速、宽带、低噪声和低失真特性，能够保持输入信号的完整性。图11运算放大器电路还可以做为Tx DAC差分模拟输出接口，用来提供增益或缓冲。由于存在内部共模电压，Tx DAC差分模拟输出不能用于单端模式。Tx DAC模拟输出设计用于驱动输入阻抗 $\geq 70k\Omega$ 的差分输入级。如果需要单端输出，可采用放大器提供差分至单端转换，但需要选择具有适当输入共模电压范围的放大器。

TDD模式

MAX19705针对TDD应用进行优化。当选择FAST模式时，MAX19705通过T/ $\bar{R}$ 引脚，可在 $0.5\mu s$ （典型值）内实现Tx和Rx模式转换。Rx ADC和Tx DAC独立工作，Rx ADC和Tx DAC数字总线共享10位并行总线。利用3线串行接口或外部T/ $\bar{R}$ 引脚选择Rx模式（使能Rx ADC）或Tx模式（使能Tx DAC）。Rx模式下，Tx DAC总线被禁止；Tx模式下，Rx ADC总线为三态，以消除任何不希望的杂散辐射，并避免出现总线冲突。TDD模式下， $f_{CLK} = 7.5MHz$ 时，MAX19705功耗为28.2mW。

TDD应用

图12是典型的TDD应用电路。MAX19705可直接与射频前端连接，为TDD应用提供完整的“RF至数字”前端解决方案。MAX19705为数字基带设计人员提供了多项有益于系统开发的优势：

- 快速上市
- 高性能、低功耗模拟功能
- 低风险，经过验证的前端解决方案
- 无需混合信号测试
- 无需NRE花费
- 不存在知识产权问题
- 数字基带设计可以采用65nm至90nm CMOS工艺

10位、7.5Msps、超低功耗模拟前端

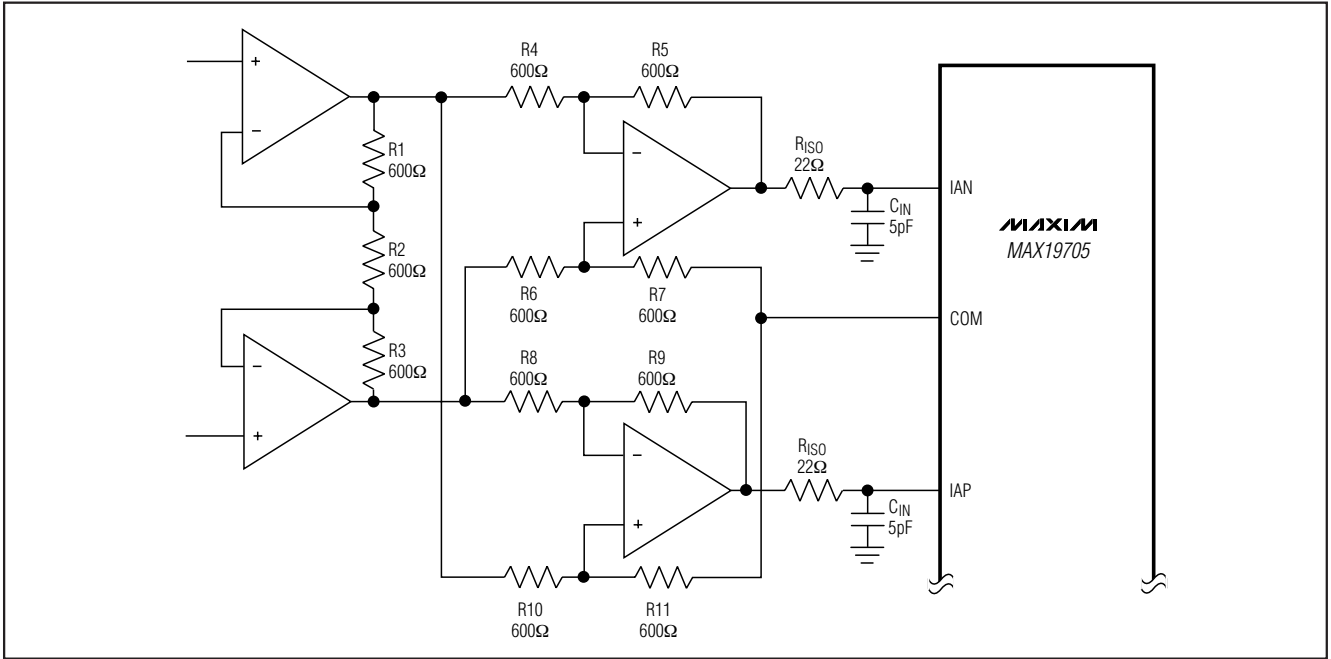


图11. Rx ADC DC耦合差分驱动

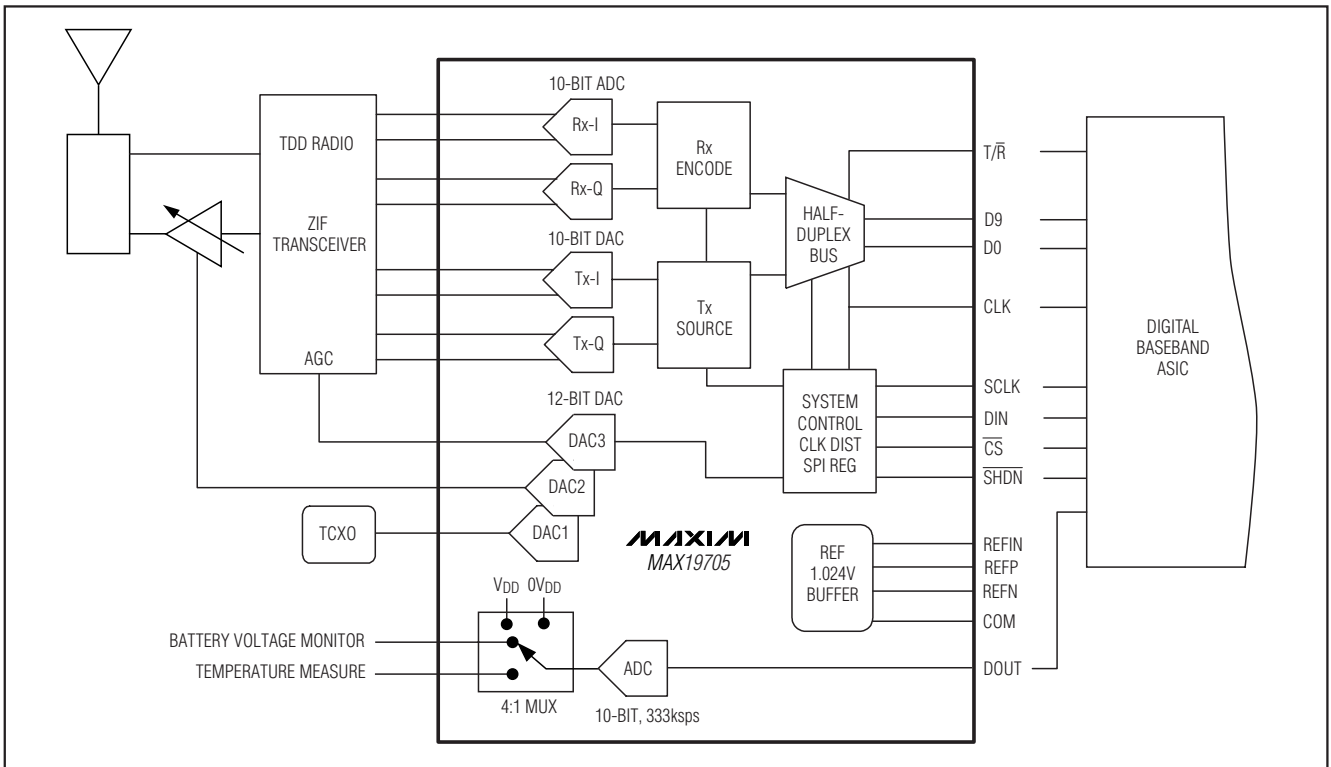


图12. TDD无线应用电路

10位、7.5Msps、超低功耗模拟前端

接地、旁路与布线

MAX19705需要高速电路板布线技术，电路板布线可以参考MAX19705评估板数据资料。所有旁路电容应尽可能靠近器件安装，并与器件放置在电路板的同一层，应该选用表贴器件以减小寄生电感。用 $0.1\mu\text{F}$ 陶瓷电容与 $2.2\mu\text{F}$ 电容并联，将 V_{DD} 旁路到GND。用 $0.1\mu\text{F}$ 陶瓷电容与 $2.2\mu\text{F}$ 电容并联，将 OV_{DD} 旁路到OGND。分别用 $0.33\mu\text{F}$ 陶瓷电容将REFP、REFN与COM旁路到GND。用 $0.1\mu\text{F}$ 电容将REFIN旁路到GND。

具有独立的地平面与电源平面的多层板可提供最佳的信号完整性。模拟地 (GND) 与数字输出地 (OGND) 采用独立的地平面，并与器件封装的物理位置相对应。连接MAX19705背面的裸露焊盘至GND平面。两个地平面单点相连，使噪声较大的数字地电流不会影响模拟地。可以凭经验将两个地平面之间的某一点确定为最佳连接点。可通过一个低阻值表贴电阻 (1Ω 至 5Ω)、磁珠连接两个地平面，也可以直接短路连接两个地平面。如果该地平面与所有噪声较大的数字系统地 (如后续输出缓冲器或DSP地平面) 充分隔离，则可以使所有接地引脚共用同一个地平面。

高速数字信号线应远离敏感的模拟信号线。确保模拟输入引线与其相应的变换器隔离开，以减小通道间串扰。确保所有信号引线尽可能短，并避免 90° 转角。

动态参数定义

ADC与DAC的静态参数定义

积分非线性 (INL)

积分非线性是实际传输函数与直线的偏差。这条直线可以是最佳直线拟合，也可以是消除失调与增益误差后传输函数两个端点间的连线。该器件静态线性参数测量采用的是最佳直线拟合法 (DAC图13a)。

微分非线性 (DNL)

微分非线性是实际步长宽度与1个LSB理想值之差，小于1 LSB的DNL误差保证不会产生失码 (ADC)，并可确保传输函数 (ADC与DAC) 的单调性 (DAC图13b)。

ADC失调误差

理想情况下，中点跳变出现在中点以上0.5个LSB处，失调误差是测试得到的跳变点与理想跳变点间的差值。

DAC失调误差

失调误差 (图13a) 是理想失调点与实际失调点之差。失调点是数字输入为中点时对应的输出值。该误差对所有编码的影响是相等的，通常可通过微调加以补偿。

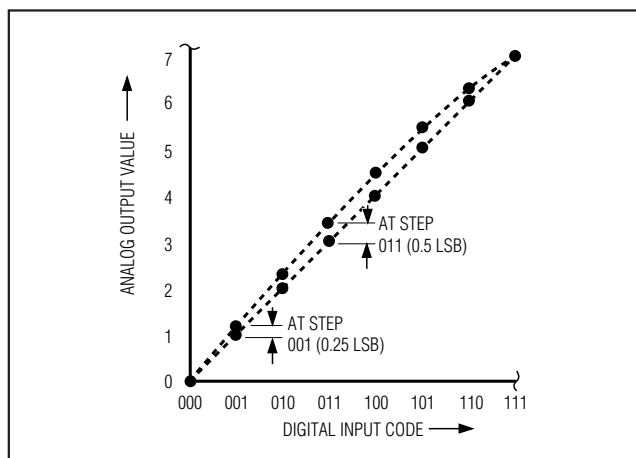


图13a. 积分非线性

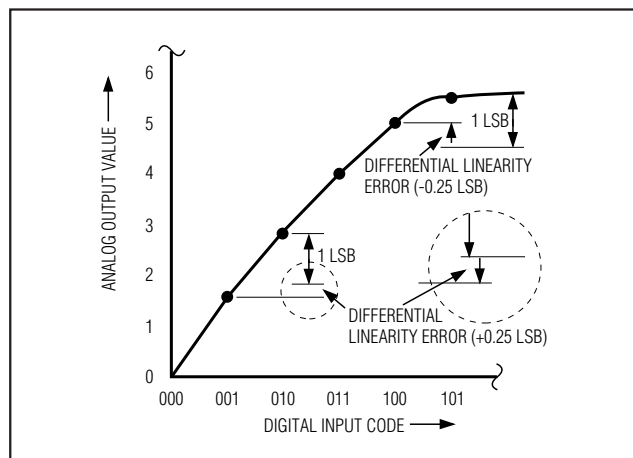


图13b. 微分非线性

10位、7.5Msps、超低功耗模拟前端

ADC增益误差

理想情况下，ADC满量程跳变出现在低于满量程1.5个LSB处。增益误差是在消除失调误差后测试的跳变点与理想跳变点之间的差值。

ADC动态参数定义

孔径抖动

图14给出了孔径抖动 (t_{AJ}) 的说明，它是孔径延时期间采样值的变化。

孔径延时

孔径延时 (t_{AD}) 是指采样时钟上升沿与实际采样瞬间的时间差 (图14)。

信噪比 (SNR)

从数字采样中重建最佳波形，理论上SNR最大值是满量程模拟输入 (RMS 值) 与量化误差RMS (剩余误差) 之比，并直接由 ADC的分辨率 (N位) 确定：

$$\text{SNR (最大值)} = 6.02\text{dB} \times N + 1.76\text{dB} \text{ (单位: dB)}$$

实际上，除了量化噪声外还有其它噪声源：热噪声、基准噪声、时钟抖动等。SNR采用信号RMS与噪声RMS之比计算。噪声RMS包括除基波、前五次谐波与DC失调以外所有奈奎斯特频率的频谱成份。

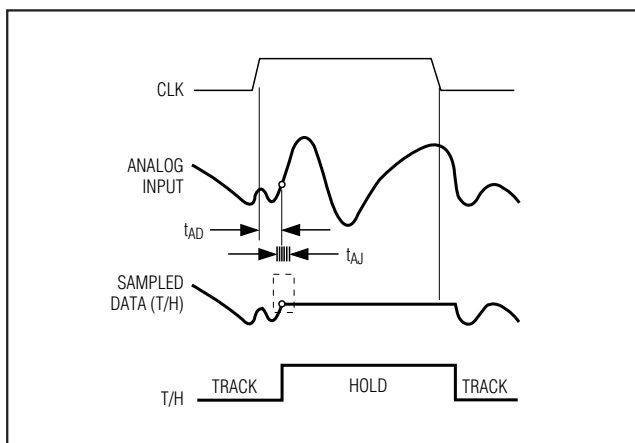


图14. T/H孔径延时

信号与噪声 + 失真比 (SINAD)

SINAD采用信号RMS与噪声RMS之比计算。噪声RMS包括除基波与DC失调以外奈奎斯特频率的所有频谱成份。

有效位数 (ENOB)

ENOB规定了在指定输入频率与采样频率下ADC的动态性能。理想的ADC误差仅包括量化误差。满量程正弦输入波形的ENOB由下式计算：

$$\text{ENOB} = (\text{SINAD} - 1.76) / 6.02$$

总谐波失真 (THD)

THD通常是输入信号前5次谐波RMS之和与基波之比，可以用下式表示：

$$\text{THD} = 20 \times \log \left[\frac{\sqrt{(V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2)}}{V_1} \right]$$

其中， V_1 为基波幅值， V_2 – V_6 为2次至6次谐波幅值。

三次谐波失真 (HD3)

HD3被定义为3次谐波分量的RMS值与输入信号基波的比值。

无杂散动态范围 (SFDR)

SFDR是基波 (信号成分最大值) RMS值与不包括DC失调的第二谐波成份的RMS值之比，以分贝为单位。

交调失真 (IMD)

当 f_1 和 f_2 两路信号加在输入端时，IMD是相对于总输入功率的交调分量总功率，交调分量为 $(f_1 \pm f_2)$ 、 $(2 \times f_1)$ 、 $(2 \times f_2)$ 、 $(2 \times f_1 \pm f_2)$ 、 $(2 \times f_2 \pm f_1)$ 。每路输入信号电平为-7dBFS。

3阶交调 (IM3)

当 f_1 和 f_2 两路信号加在输入端时，IM3是相对于任意一路输入信号的最差工作条件下三阶交调分量的功率。三阶交调分量为 $(2 \times f_1 \pm f_2)$ 、 $(2 \times f_2 \pm f_1)$ 。每路输入信号电平为-7dBFS。

10位、7.5Msps、超低功耗模拟前端

电源抑制比

电源抑制比定义为电源变化±5%时产生的失调量与增益误差的偏移量。

小信号带宽

将-20dBFS的模拟输入信号送入ADC、并且信号摆率不会限制ADC性能的条件下，随着输入频率的升高数字转换结果将会下降，下降3dB时所对应的频点称为小信号带宽。注意，T/H性能通常是制约小信号输入带宽的因素。

满功率带宽

将-0.5dBFS的模拟输入信号送入ADC，随着输入频率的升高数字转换结果将会下降，下降3dB时所对应的频点称为满功率带宽频率。

DAC动态参数定义

总谐波失真

THD是奈奎斯特频率输出谐波的RMS之和与基波的比值：

THD = 20 x log [(sqrt(V2^2 + V3^2 + ... + Vn^2)) / V1]

其中，V₁为基波幅值，V₂至V_n为奈奎斯特频率的2次至n次谐波幅值。

无杂散动态范围

无杂散动态范围 (SFDR) 是基波 (信号成分最大值) RMS值与不包括DC成份的奈奎斯特频率第二谐波RMS值之比。

选型指南

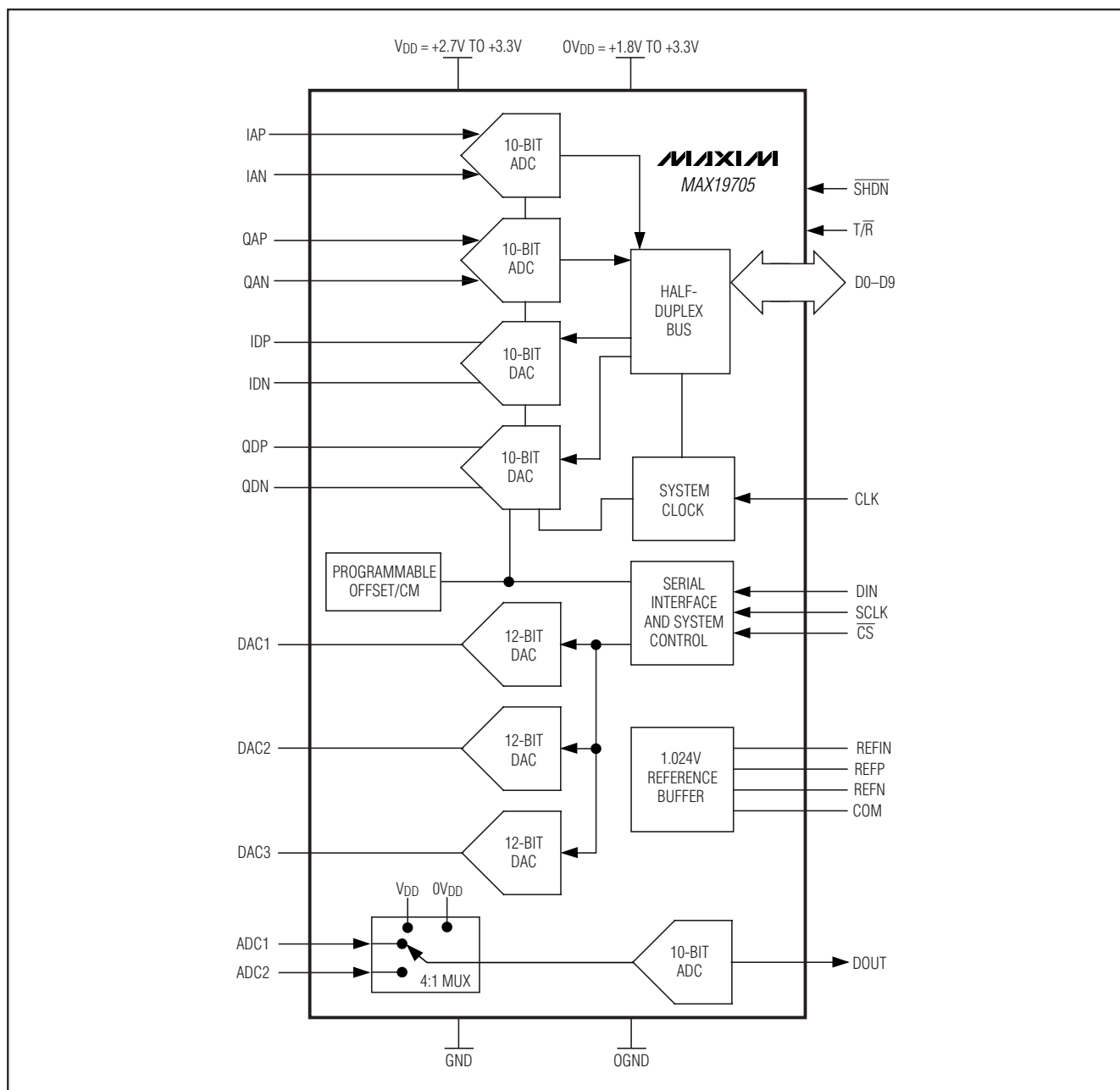
PART	DESCRIPTION	SAMPLING RATE (Msps)
MAX19700	Dual 10-Bit Rx ADC, Dual 10-Bit Tx DAC, Integrated TD-SCDMA Filters, Three 12-Bit Auxiliary DACs	7.5
MAX19708	Dual 10-Bit Rx ADC, Dual 10-Bit Tx DAC, Integrated TD-SCDMA Filters, Three 12-Bit Auxiliary DACs, 10-Bit Auxiliary ADC with 4:1 Input Mux	11
MAX19705/MAX19706 [†] /MAX19707 [†]	Dual 10-Bit Rx ADC, Dual 10-Bit Tx DAC, Three 12-Bit Auxiliary DACs, 10-Bit Auxiliary ADC with 4:1 Input Mux	7.5/22/45

[†] 未来产品 —— 供货状况请联络厂方。

10位、7.5Msps、超低功耗模拟前端

功能框图

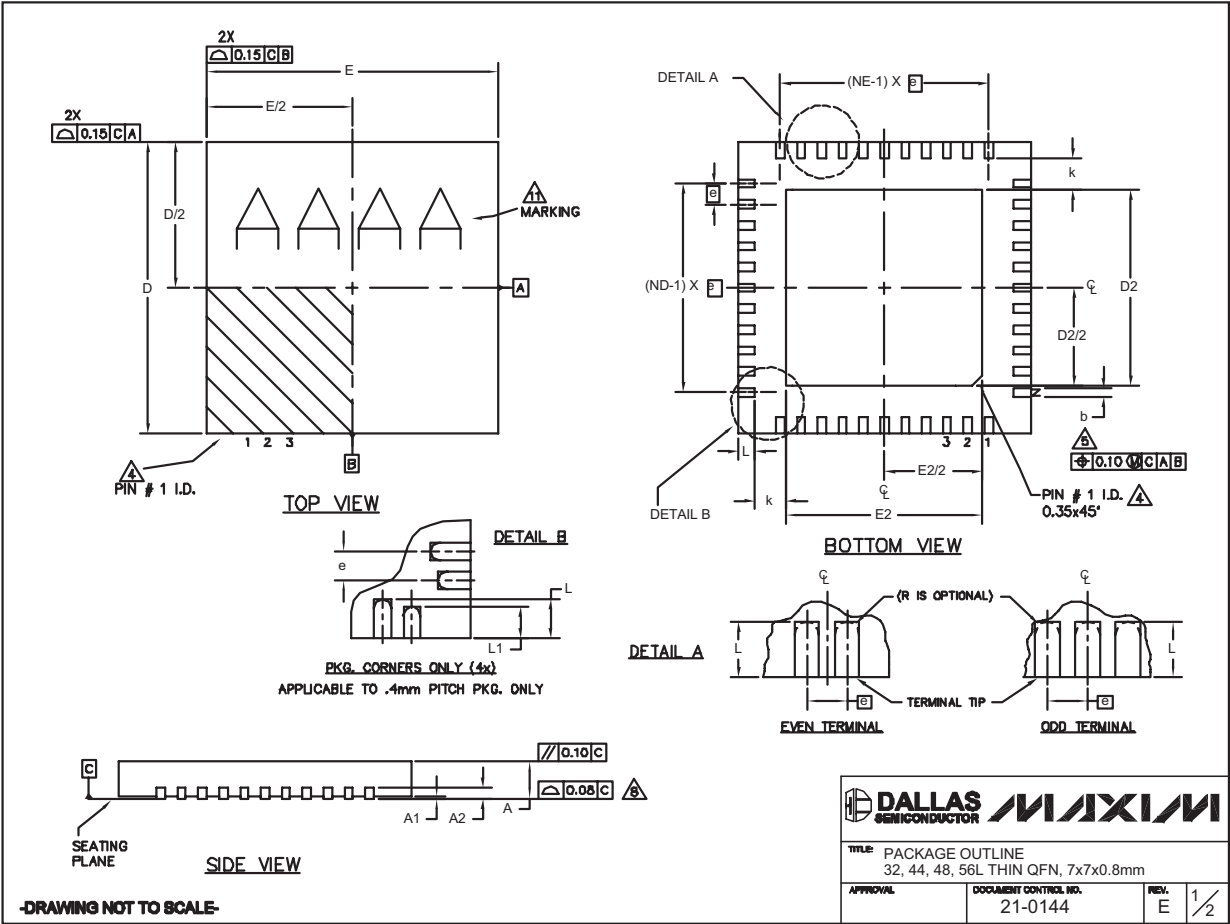
MAX19705



10位、7.5Msps、超低功耗模拟前端

封装信息

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外型信息，请查询 www.maxim-integrated.com/packages.)



32, 44, 48L QFN.EPS

10位、7.5Msps、超低功耗模拟前端

封装信息 (续)

(本数据资料提供的封装图可能不是最近的规格, 如需最近的封装外型信息, 请查询 www.maxim-integrated.com/packages.)

MAX19705

COMMON DIMENSIONS															
PKG	32L 7x7			44L 7x7			48L 7x7			CUSTOM PKG. (T4877-1) 48L 7x7			56L 7x7		
SYMBOL	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
A1	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	0	-	0.05
A2	0.20 REF.			0.20 REF.			0.20 REF.			0.20 REF.			0.20 REF.		
b	0.25	0.30	0.35	0.20	0.25	0.30	0.20	0.25	0.30	0.20	0.25	0.30	0.15	0.20	0.25
D	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10
E	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10
e	0.65 BSC.			0.50 BSC.			0.50 BSC.			0.50 BSC.			0.40 BSC.		
k	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-	0.25	0.35	0.45
L	0.45	0.55	0.65	0.45	0.55	0.65	0.30	0.40	0.50	0.45	0.55	0.65	0.40	0.50	0.60
L1	-	-	-	-	-	-	-	-	-	-	-	-	0.30	0.40	0.50
N	32			44			48			44			56		
ND	8			11			12			10			14		
NE	8			11			12			12			14		

EXPOSED PAD VARIATIONS												
PKG. CODES	DEPOPULATED LEADS	D2			E2			JEDEC MO220 REV. C	DOWN BONDS ALLOWED			
		MIN.	NOM.	MAX.	MIN.	NOM.	MAX.					
T3277-2	-	4.55	4.70	4.85	4.55	4.70	4.85	-	YES			
T3277-3	-	4.55	4.70	4.85	4.55	4.70	4.85	-	NO			
T4477-2	-	4.55	4.70	4.85	4.55	4.70	4.85	WKKD-1	YES			
T4477-3	-	4.55	4.70	4.85	4.55	4.70	4.85	WKKD-1	YES			
T4877-1**	13,24,37,48	4.20	4.30	4.40	4.20	4.30	4.40	-	NO			
T4877-3	-	4.95	5.10	5.25	4.95	5.10	5.25	-	YES			
T4877-4	-	5.45	5.60	5.63	5.45	5.60	5.63	-	YES			
T4877-5	-	2.40	2.50	2.60	2.40	2.50	2.60	-	NO			
T4877-6	-	5.45	5.60	5.63	5.45	5.60	5.63	-	NO			
T4877-7	-	4.95	5.10	5.25	4.95	5.10	5.25	-	YES			
T5677-1	-	5.20	5.30	5.40	5.20	5.30	5.40	-	YES			

** NOTE: T4877-1 IS A CUSTOM 48L PKG. WITH 4 LEADS DEPOPULATED. TOTAL NUMBER OF LEADS ARE 44.

NOTES:

1. DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.

2. ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.

3. N IS THE TOTAL NUMBER OF TERMINALS.

4. THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.

5. DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.

6. ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.

7. DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.

8. COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.

9. DRAWING CONFORMS TO JEDEC MO220 EXCEPT THE EXPOSED PAD DIMENSIONS OF T4877-1/-3/-4/-5/-6 & T5677-1.

10. WARPAGE SHALL NOT EXCEED 0.10 mm.

11. MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY

12. NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY

DALLAS

SEMICONDUCTOR

MAXIM

INTegrated

TITLE: PACKAGE OUTLINE

32, 44, 48, 56L THIN QFN, 7x7x0.8mm

APPROVAL

DOCUMENT CONTROL NO.

REV.

21-0144

E

2/2

MAXIM北京办事处

北京 8328信箱 邮政编码 100083

免费电话: 800 810 0310

电话: 010-6211 5199

传真: 010-6211 5299

Maxim 不对 Maxim 产品以外的任何电路使用负责, 也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 37