

产品简介

Speedster™ FPGA 系列

SPEEDSTER 的主要特性

- 全球速度最快的 FPGA 系列:
 - 1.5 GHz 系统性能
 - 基于 SRAM 的 FPGA
 - 可现场重复编程
- 逻辑能力高达 150 万 ASIC 门
- 1.5 GHz 18Kb RAM 块
- 最高 40 路嵌入式 10.3 Gbps SerDes
- 10.3 Gbps SerDes, 支持高速串行接口
接口包括:
 - PCI-Express
 - 千兆以太网
 - CEI-6G
 - 10 Gbps 背板
 - XAUI
 - XFI
 - Infiniband
- 支持的行业标准存储器接口:
 - SDR SDRAM (200 Mbps)
 - QDR SRAM (400 Mbps)
 - QDR II SRAM (800 Mbps)
 - RDRAM II (1066 Mbps)
 - DDR1 SDRAM (400 Mbps)
 - DDR2 SDRAM (800 Mbps)
 - DDR3 SDRAM (1066 Mbps)
- 支持的行业标准数据通路接口:
 - SPI-4.2 (最高 1000 Mbps)
 - SFI-4.1 (622 Mbps)
 - XSBI (644 Mbps)
 - Hypertransport 1.0 (800 Mbps)
- 标准 RTL 综合设计输入, 可使用:
 - Synplify Pro (Synopsis)
 - Precision Synthesis (Mentor Graphics)
- Achronix CAD Environment (ACE) 工具提供后段实现
- 可根据实际应用适当调整性能, 以实现下列目的:
 - 通过电压调度降低功耗
 - 提高有效容量
- 实现快速时序收敛, 缩短产品上市时间
- 采用可靠的 TSMC 65 nm CMOS 工艺



Achronix Semiconductor 的 Speedster 现场可编程门阵列 (FPGAs) 系列产品是全球速度最快的可编程逻辑器件。Speedster FPGA 完全可重复编程, 同时可实现 1.5 GHz 的系统性能。Speedster FPGA 系列适合多种应用, 包括电信、网络、视频、数字信号处理、高性能计算、成像、工业和军事应用。

前所未有的 FPGA 性能

Speedster 系列克服了传统 FPGA 的系统性能障碍。Speedster 系列的系统速度最高可达 1.5 GHz, 是全球唯一超越标准单元 ASIC 性能的 FPGA。这种前所未有的性能, 加上可重复编程解决方案的灵活性, 使 Speedster FPGA 非常适合需要高数据吞吐量的应用场合。有了 Speedster FPGA, 设计人员不必再牺牲性能, 以换取 FPGA 的灵活性。对设计人员而言, Speedster FPGA 是一个全新但又很熟悉的平台, 既可执行最高性能的设计, 又可避免高昂的 ASIC 成本和其它 FPGA 的时序收敛问题。Achronix™ Speedster FPGA 是通用型器件, 适合多种应用, 不需要 RTL 定制或手动优化即可实现高性能。Speedster FPGA 架构采用一组普通的可重建逻辑块 (RLBs), 并通过可编程互联线进行连接。每个 RLB 包含八个 4 输入 LUT, 也可以配置成 1.5 GHz 128bit 的分布式 RAM。

Speedster 系列还包含专用的 18x18 乘法器，可实现 1.5 GHz 性能。高性能互联线可以将乘法器与基于 LUT 的加法器、累加器和其它功能相结合，实现 DSP 功能。Achronix 逻辑结构采用独特的技术，克服了对内部时钟网络数量的限制。因此，Speedster FPGA 可用于实现以前只有 ASIC 才能实现的有大量时钟域的设计。

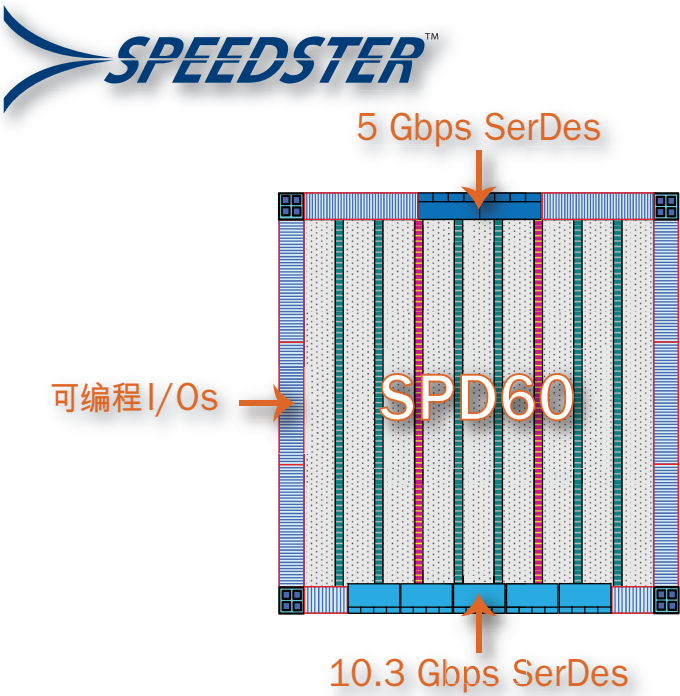
高速接口

为增强 1.5 GHz 逻辑结构，Speedster FPGA 配备大量可编程高速 SerDes 通道和极为灵活的可编程 I/Os。Speedster 的 SerDes 最多达 40 路，并有额外的 933 个高速可编程 I/Os，可提供足够大的 I/O 带宽以适应内部逻辑性能。I/Os、SerDes 存储器和逻辑性能的结合，使 Speedster 器件适合高带宽协议，例如 PCI Express II、CEI-6G 和 10 Gbps 以太网等。

Speedster 产品系列

设备名称	SPD30	SPD60	SPD100	SPD180
LUT 数量	24,576	47,040	93,848	163,840
picoPIPE 管路元件	1,725,000	3,400,000	7,200,000	11,700,000
18Kbit 块 RAM 的数量	66	144	334	556
可用块 RAM (Kbit)	1,188	2,592	6,012	10,008
可用分布式 RAM (Kbit)	384	735	1,232	2,560
乘法器数量 (18x18)	50	98	120	270
5 Gbps SerDes 路数	-	8	-	-
10.3 Gbps SerDes 路数	8	20	36	40
DDR3/DDR2 控制器 (1066 Mbps)	2	4	4	4
PLL 数量	8	16	16	16
用户可编程 I/Os	488	792	832	933
FBGA899 31x31	514	-	-	-
FBGA1285 37.5x37.5	520	712	722	-
FBGA1892 45x45	-	918	976	1,010

† 针数不包括 SerDes 通道。
‡ 针数包括 SerDes 信号。



设计方法

Achronix 的开发流程采用行业标准，基于 Synopsys 的 Synplify Pro 和 Mentor Graphics 的 Precision Synthesis 的 RTL 综合流程。与综合工具无缝连接，Achronix CAD Environment (ACE) 提供布局、布线、时序分析、位流生成和 FPGA 配置功能。仿真工具，采用行业标准仿真器，并提供片上调试接口以增强验证功能。

在开发阶段，可使用标准 JTAG 接口为 Speedster FPGA 编程。在应用环境中，可通过 SPI 闪存完成配置。此外，可使用外部 CPU 对 FPGA 进行编程。在保密方面，Speedster FPGA 集成一个 256 位 AES 加密引擎，可实现位流保护。

调整性能以降低功耗

Speedster 具有一项独特的性能，能在各种电源电压范围内稳定运行。这种性能允许降低核电压，在确保符合性能要求的基础上，可优化功耗。由于功耗与电压之间存在 V²f 关系，核电压稍微降低即可大幅减少功耗。

© 2008–2009 Achronix Semiconductor Corporation 版权所有。保留所有权利。Achronix 和 Speedster 是 Achronix Semiconductor Corporation 的商标。所有其它商标均是其各自所有人的财产。所有规格如有更改，恕不通知。PB001SC v3.4